

特長

低価格

単電源または両電源、5 V～36 V、 ± 5 V～ ± 18 V

フルスケール周波数: 最大 500 kHz

外付け部品数が最小

多機能入力アンプ

正電圧モードまたは負電圧モード

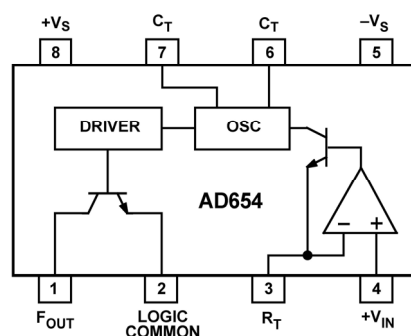
負電流モード

高入力インピーダンス、低ドリフト

低消費電力: 静止電流 2.0 mA

低オフセット: 1 mV

機能ブロック図



製品説明

AD654 は、入力アンプ、高精度発振器システム、高電流出力ステージで構成されるモノリシック V/F コンバータです。最大 500 kHz までのフルスケール (FS) 周波数と、最大 ± 30 V までの FS 入力電圧の設定に必要なのは RC 回路 1 つだけです。直線性誤差は 250 kHz FS でわずか 0.03% で、動作は 80 dB のダイナミックレンジで保証されています。全体温度係数 (外付け部品の影響は除く) は ± 50 ppm/ $^{\circ}\text{C}$ (typ) です。AD654 は 5 V～36 V の単電源で動作し、静止電流は 2.0 mA です。

低ドリフト入力アンプ ($4\ \mu\text{V}/^{\circ}\text{C}$ typ) の採用により、熱電対またはストレーン・ゲージのような小信号で直接動作することができ、高い (250 M Ω) 入力抵抗を持っています。AD654 は大部分の V/F コンバータと異なり、方形波を出力し、最大 12 個の TTL 負荷、フォトカプラー、長いケーブル、または同等の負荷を駆動することができます。

製品のハイライト

- AD654 は、8 ピン・ミニ DIP パッケージまたは 8 ピン SOIC パッケージを採用した完結型の V/F コンバータであり、必要な外付け部品は、フルスケール周波数を設定する RC タイミング回路とオープン・コレクタ出力ステージの選択可能なプルアップ抵抗だけです。タイミング抵抗の適切な選択により 100 mV～10 V ($+V_S$ に応じて 10 V 以上) のフルスケール入力電圧範囲が可能で、次に、フルスケール周波数は簡単な関係 $f = V/10\text{ RC}$ を使ってタイミング・コンデンサにより設定します。

- 低価格外付け部品数は最小限で済みます。最大 500 kHz までのフルスケール周波数と、最大 ± 30 V までの FS 入力電圧の設定に必要なのは RC 回路 1 つだけです。
- A/D 変換、絶縁型信号伝送、F/V 変換、位相ロック・ループ、チューニング・スイッチド・キャパシタ・フィルタなどの標準的な VFC アプリケーションをプラスチック・パッケージの採用により低価格で実現できます。
- 電源要求が最小: 4.5 V～36 V の単電源でわずか 2.0 mA の静止電流。このモードでは、0 V (グラウンド)～($+V_S - 4$) V の正入力が可能です。グラウンドより下の動作では負入力を容易に接続することができます。
- 多機能のオープン・コレクタ出力ステージは、0.4 V 以下の飽和電圧で 10 mA 以上をシンクすることができます。ロジック・コモン・ピンは、グラウンド (または $-V_S$) と $+V_S - 4$ V の間の任意のレベルに接続することができます。このため、正または負のロジック・レベルを持つ任意のロジック・ファミリーへ容易に直接インターフェースすることができます。

アナログ・デバイセス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©1999 Analog Devices, Inc. All rights reserved.

Rev. B

AD654—仕様

(特に指定がない限り、 $T_A = +25^\circ\text{C}$ 、 V_S (合計) = 5 V ~ 16.5 V。すべてのテストは $V_S = +5$ V で実施)

Model	Min	AD654JN/JR Typ	Max	Units
CURRENT-TO-FREQUENCY CONVERTER				
Frequency Range	0		500	kHz
Nonlinearity ¹				
f _{MAX} = 250 kHz		0.06	0.1	%
f _{MAX} = 500 kHz		0.20	0.4	%
Full-Scale Calibration Error				
C = 390 pF, I _{IN} = 1.000 mA	−10		+10	%
vs. Supply (f _{MAX} ≤ 250 kHz)				
V _S = +4.75 V to +5.25 V		0.20	0.40	%/V
V _S = +5.25 V to +16.5 V		0.05	0.10	%/V
vs. Temp (0°C to +70°C)		50		ppm/°C
ANALOG INPUT AMPLIFIER				
(Voltage-to-Current Converter)				
Voltage Input Range				
Single Supply	0		(+V _S − 4)	V
Dual Supply	−V _S		(+V _S − 4)	V
Input Bias Current				
(Either Input)		30	50	nA
Input Offset Current		5		nA
Input Resistance (Noninverting)		250		MΩ
Input Offset Voltage		0.5	1.0	mV
vs. Supply				
V _S = +4.75 V to +5.25 V		0.1	0.25	mV/V
V _S = +5.25 V to +16.5 V		0.03	0.1	mV/V
vs. Temp (0°C to +70°C)		4		μ V/°C
OUTPUT INTERFACE (Open Collector Output)				
(Symmetrical Square Wave)				
Output Sink Current in Logic “0” ²				
V _{OUT} = 0.4 V max, +25°C	10	20		mA
V _{OUT} = 0.4 V max, 0°C to +70°C	5	10		mA
Output Leakage Current in Logic “1”				
0°C to +70°C		10	100	nA
		50	500	nA
Logic Common Level Range	−V _S		(+V _S − 4)	V
Rise/Fall Times (C _T = 0.01 μF)				
I _{IN} = 1 mA		0.2		μs
I _{IN} = 1 μ A		1		μs
POWER SUPPLY				
Voltage, Rated Performance	4.5		16.5	V
Voltage, Operating Range				
Single Supply	4.5		36	V
Dual Supply	± 5		± 18	V
Quiescent Current				
V _S (Total) = 5 V		1.5	2.5	mA
V _S (Total) = 30 V		2.0	3.0	mA
TEMPERATURE RANGE				
Operating Range	−40		+85	°C

注

¹ $f_{\text{MAX}} = 250$ kHz で、 $R_T = 1$ k Ω 、 $C_T = 390$ pF、 $I_{\text{IN}} = 0$ mA ~ 1 mA。² $f_{\text{MAX}} = 500$ kHz で、 $R_T = 1$ k Ω 、 $C_T = 200$ pF、 $I_{\text{IN}} = 0$ mA ~ 1 mA。² シンク電流は、ピン 1 とロジック・コモンの間を 0.4 V の最大電圧に維持したときに AD654 のピン 1 に流入する電流です。

太字で示す仕様は、最終電気テストですべての製品ユニットについてテストされます。これらのテスト結果を使って、出荷品質レベルが計算されます。

太字で示す項目のみがすべての製品ユニットについてテストされますが、すべての min 仕様と max 仕様が保証されます。

仕様は予告なく変更されることがあります。

絶対最大定格

Total Supply Voltage +V_S to -V_S36 V
Maximum Input Voltage (Pins 3, 4) to -V_S.....-300 mV to +V_S
Maximum Output Current
 Instantaneous 50 mA
 Sustained..... 25 mA
Logic Common to -V_S.....-500 mV to (+V_S -4)
Storage Temperature Range..... -65°C to +150°C

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD654JN	-40°C to +85°C	8-Lead Plastic DIP	N-8
AD654JR	-40°C to +85°C	8-Lead SOIC	SO-8

回路動作

図 1 に AD654 の機能ブロック図を示します。多機能のオペアンプが入力ステージとして機能します。このステージの機能は、入力電圧信号を変換およびスケールして NPN フォロアへ電流を出力することです。最適性能は、フルスケール入力電圧で 1 mA の駆動電流を電流/周波数コンバータ (安定なマルチバイブレータ) に供給するときに実現されます。この駆動電流は、バイアス・レベルと外付けタイミング・コンデンサに対する充電電流を提供します。この“適応型” バイアス方式により、100 nA~2 mA の全電流入力範囲で発振器の非直線性を小さくすることができます。方形波発振器出力は出力ドライバに入力されます。このドライバは NPN パワー・トランジスタのフローティング・ベースを駆動します。このフローティング駆動の採用により、ロジック・インターフェースは $-V_S$ 以外のレベルを基準とすることができます。

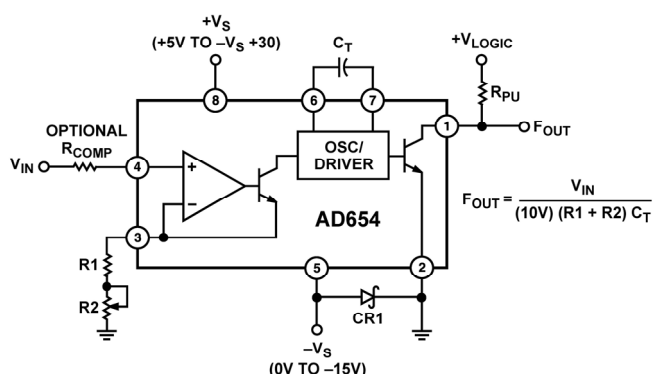


図 1. 正の入力電圧に対する標準的な V-F 接続

正入力電圧に対する V/F 接続

図 1 の接続方式では、入力アンプは入力電圧に対して非常に高い (250 MΩ) インピーダンスを示します。この入力電圧は、ピン 3 のスケール抵抗に適切な駆動電流に変換されます。抵抗 R_1 と抵抗 R_2 は AD654 の 10% FS 誤差と部品の偏差に対応できる十分な調整範囲を持って 1 mA フルスケール電流を提供するように選択されます。1 mA 以外のフルスケール電流を選択することができますが、直線性が低下します。2 mA が最大許容駆動電流です。AD654 の正入力電圧範囲は、 $-V_S$ (シンク電源動作ではグラウンド) から正電源より 4V 下までです。電源除去比は入力 $(+V_S - 3.75 \text{ V})$ を超えると低下し、 $(+V_S - 3.5 \text{ V})$ で出力周波数がゼロになります。

図 1 のスケールングの関係式で示すように、 $0.01 \mu\text{F}$ のタイミング・コンデンサで 10 kHz のフルスケール周波数になり、 $0.001 \mu\text{F}$ で 100 kHz になり、1 mA の駆動電流になります。V/F 直線性を良くするためには、低誘電吸収 (DA) のコンデンサを使い、温度に対して安定な動作には小さい温度係数を持つ部品が必要です。ポリスチレン、ポリプロピレン、または Teflon* コンデンサの使用が温度係数と誘電吸収の点から推奨されます。他のタイプでは直線性が低下します。コンデンサは、AD654 のごく近くに接続する必要があります。図 1 では、ショットキー・ダイオード CR1 (MBD101) により、ロジック・コモンが $-V_S$ より 500 mV 以上下回るのを防止しています。 $-V_S$ がロジック・コモンに一致する場合には、このダイオードは不要です。

*Teflon は E.I. Du Pont de Nemours & Co. の商標です。

負入力電圧または電流に対する V/F 接続

AD654 では、図 2 に示すようにスケール抵抗を適切に選択して広範囲な負入力電圧に対応することができます。この接続は、バッファ付き正接続とは異なり、ハイ・インピーダンスではありません。これは信号源から 1 mA の FS 駆動電流を供給する必要があります。ただし、スケール抵抗を適切に変更すると、電源を超える大きな負電圧を容易に処理することができます。入力が真の電流源である場合には、 R_1 と R_2 は不要です。この場合も、ロジック・コモンが $-V_S$ を 500 mV 以上下回らないようにすることにより、ダイオード CR1 がラッチアップを防止します。クランプ・ダイオード (MBD101) は、AD654 入力が $-V_S$ 以下の入力にならないように保護しています。

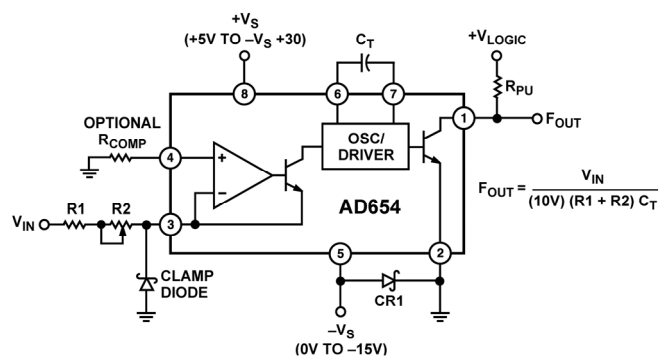


図 2. 負入力電圧または電流に対する V/F 接続

オフセット・キャリブレーション

理論上は、スケールとオフセットの 2 回の調整で V/F のキャリブレーションを行います。実際には、大部分のアプリケーションで、AD654 の 1 mV 最大電圧オフセットは十分小さいため、オフセット・キャリブレーションが不要です。ただし、入力アンプの 30 nA (typ) バイアス電流により、入力ピン間の DC サウンド抵抗の差からオフセットが発生します。このオフセットは $R_T = R_1 + R_2$ の大きな値に対して大きくなることもあり、温度に対してバイアス電流がドリフトすると変化します。このため、AD654 の低オフセットを維持するために、アプリケーションでは入力 (ピン 3 とピン 4) の DC ソース抵抗を一致させることが必要になります。

正入力の場合、これは公称 R_T に等しい補償抵抗を入力と直列に接続して行います (図 3a 参照)。これにより、オフセットは 30 nA バイアス電流とソース抵抗 R_T と R_{COMP} との間の不一致の積に制限されます。2 つ目の小さいオフセットは、ソース抵抗 R_T または R_{COMP} を流れる、入力の 5 nA オフセット電流から発生します。負入力電圧と電流接続の場合、ピンを直接グラウンドに接続する代わりに図 3b に示すように補償抵抗をピン 4 に追加します。正入力と負入力の場合は、 R_{COMP} を使用すると、ピン 4 でノイズ結合が発生するので、低ノイズ動作を得るためにバイパスする必要があります。

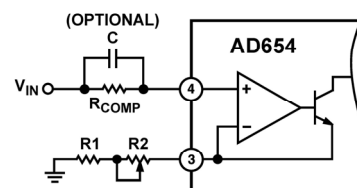


図 3a. バイアス電流補償—正入力

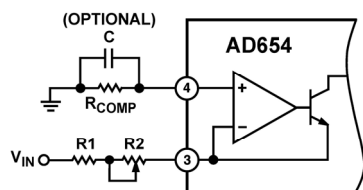


図 3b. バイアス電流補償—負入力

AD654 の 1 mV オフセット電圧の調整が必要な場合、デバイスの外部で調整を行う必要があります。図 3c に、正入力でのオプション接続を示します。この接続では、 R_{OFF1} と R_{OFF2} で R_T に直列に可変抵抗が追加されています。 ± 0.6 V の可変電圧源を R_{OFF1} に接続して、オフセット ± 1 mV を調整します。同様に、 ± 0.6 V の可変電圧源を R_{OFF} に接続して負入力のオフセットを調整します(図 3d)。 ± 0.6 V のバイポーラ電圧源として AD589 リファレンス電圧を使用することができます(図 3e)。

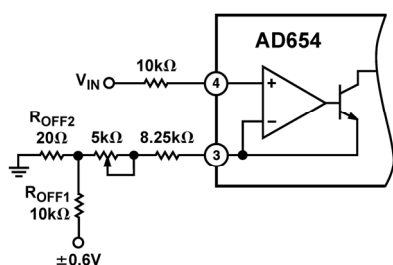


図 3c. 正入力オフセット調整 (10 V FS)

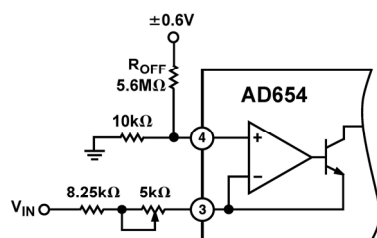


図 3d. 負入力オフセット調整 (−10 V FS)

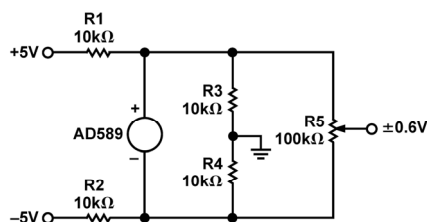


図 3e. オフセット調整バイアス回路

フルスケール・キャリブレーション

フルスケール調整とは、フルスケールを入力したときに所望の出力周波数を発生させるように回路をキャリブレーションすることです。大部分の場合、これはスケーリング抵抗 R_T を調整することにより行われます。AD654 の高精度キャリブレーションでは、所望の FS 値が設定された正確な電圧標準と正確な周波数測定器の

使用が必要です。オシロスコープは、出力波形のモニタに便利です。コンバータの直線性の確認には、切り替え可能な電圧源または $\pm 0.005\%$ より小さい直線性誤差を持つ DAC の使用が必要で、カウンタの不確定性を小さくするため長い測定時間の使用が必要です。各 AD654 の直線性は出荷時にテストされているため、ユーザーでのこの退屈で時間を要するテストは定常的には不要です。

すべての主要なスケーリング誤差のワーストケース総和に対応するため十分な FS キャリブレーション調整範囲を用意する必要があります。この誤差には、AD654 の 10% フルスケール誤差、固定スケーリング抵抗の偏差、タイミング・コンデンサの偏差が含まれます。このため、抵抗偏差 1% かつコンデンサ偏差 5% の場合、スケーリング抵抗の固定部分は公称値の最大 84% とし、可変部分を公称値の 116% まで可能にするように選択する必要があります。

入力が負電流源形式の場合、スケーリング抵抗は不要であるため、この方法での FS 周波数調整機能をなくすることができます。調整のために容量を滑らかに変化させることは一般に現実的でないため、図 4 に示すような代わりの方式が必要です。

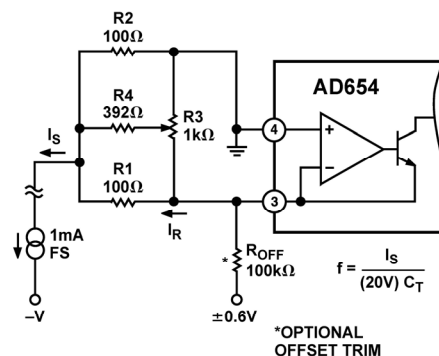


図 4. 電流源の FS 調整

この回路は FS = 1 mA に対してデザインされ、入力を 1/2 にしてピン 3 に入力するため、信号電流 I_T の変換器を構成します。もう 1 つの 100 Ω 抵抗 R2 を通過する 2 つ目のパスにも、同じ公称電流が流れます。値の一致する 2 つの抵抗は全体の最適安定性を提供するため、1% のディスクリート薄膜抵抗か、または共通アレイの中の対を使用する必要があります。

1 mA の FS 入力電流は 2 つの 500 μA に分割されるため (一方はグラウンドへ、他方はピン 3 へ流れます)、合計入力信号電流 (I_S) はこの回路で 1/2 にされます。同じ変換スケール・ファクタ C_T を実現するため、ファクタを 1/2 にします。このため、この目的固有の伝達関数になります。

$$f = \frac{I_S}{(20 V) C_T}$$

キャリブレーションのために、抵抗 R3 と抵抗 R4 が回路に追加されて、図示の値でスケール・ファクタの $\pm 15\%$ 調整が可能になっています。R4 の値を変えることにより、広い偏差値の部品または AD592 温度センサーのような電流出力トランスジューサのキャリブレーション偏差に対応できるように調整範囲を変更することができます。図示の R1~R4 の値は 1 mA の FS 信号にのみ有効ですが、小さい FS 電流に対しては比例してスケールを大きくすることができます。例えば、これらの値を FS 電流 = 100 μA の場合 10 倍にします。

入力アンプのバイアスとオフセット電流から発生するオフセットに加えて、電流分割入力回路から発生する寄生電流によりオフセット電圧が発生します。これらの影響は、バイアス電流補償抵抗 R_{OFF} と図 3e に示すオフセット調整方式により小さくすることができます。

デバイスの温度上昇ドリフトは小さいですが、デバイス動作環境が安定した後に調整を行い、電源、信号源、負荷が適切になるようにする必要があります。

オフセットの調整を準備する場合は、入力をフルスケールの $1/10,000$ に設定することから始めます。出力がフルスケールの $1/10,000$ になるようにオフセット・ポットを調整します (例えば、 $FS = 250 \text{ kHz}$ の場合 25 Hz)。これは、周波数測定器を出力に接続して簡単に行うことができます。次に、 FS 入力を加えて、所望の FS 周波数が表示されるようにゲイン・ポットを調整します。

入力保護

AD654 は、加算ハードウェアを最小にするようにデザインされていますが、高精度 IC のアプリケーションでは、落とし穴を理解して、適切な注意を払う必要があります。このため、 $+V_{IN}$ ピンと R_T ピンを $-V_S$ より 300 mV 以上下回るように駆動しないことが必要です。同様に、ロジック・コモンを $-V_S$ より 500 mV 以上下回るようにしないことが必要です。そうしないと、内部ジャンクションが導通して、IC が壊れることがあります。ロジック・コモンを保護する図 1 と図 2 に示すダイオードの他に、2 つ目のショットキー・ダイオード (MBD101) で AD654 の入力が “ $-V_S$ 以下” の入力になるのを保護することができます (図 5)。また、 $+V_{IN}$ と R_T を $+V_S$ より高く駆動しないことも必要です。動作中に、コンバータは ($+V_S - 3.5 \text{ V}$) を超える入力に対してゼロ出力になります。

さらに、制御電流が 2 mA を超えると、非直線性が大きくなります。AD654 の 80 dB ダイナミックレンジにより、 1 mA (公称 FS) $\sim 100 \text{ nA}$ の制御電流 ($1 \text{ mV} \sim 10 \text{ V FS}$ と等価) で動作することが保証されています。 100 nA より小さい場合には、発振器の異常動作が発生して、入力振幅の表示が正しくなくなります。多くの場合、これは入力で混入される短命のノイズ・スパイクにより発生します。例えば、 1 V の FS 入力を受け付けるようにスケールされた場合、 -80 dB レベルは $100 \mu\text{V}$ になります。したがって、平均入力が FS (1 mV) より 60 dB 低い場合、 0.9 mV のノイズ・スパイクは十分大きいので、一時的な不具合が発生します。

この影響は、コンバータの前にシンプルなローパス・フィルタを使用するか、または R_T ピンの周りにガード・リングを使用することにより、小さくすることができます。フィルタは、前のセクションで説明したバイアス電流補償抵抗を使って構成することができます。 $FS = 10 \text{ kHz}$ の場合、時定数 100 ms の 1 極フィルタが適していますが、最適構成はアプリケーションと信号処理のタイプに依存します。入力電流が長時間最小値付近に留まる場合、ノイズ・スパイクは唯一の誤差原因である可能性があります。 100 nA より上では、入力ノイズのフル累積が発生します。入力と同様に、コンデンサ・ピンは他の信号からの干渉に敏感です。タイミング・コンデンサはできるだけ AD654 の近くに配置して、リードへの信号混入を小さくする必要があります。場合によっては、ガード・リングまたはシールドが必要になります。

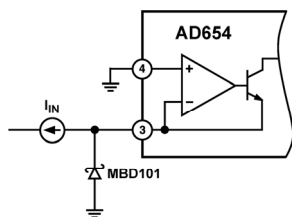


図 5. 入力の保護

デカップリング

電源電圧ピンにバイパス・コンデンサを使用すること、および小さな値の抵抗 ($10 \sim 100 \Omega$) を電源ラインに接続してシステム内の種々の回路の間をデカップリングすることは望ましいことです。

$0.1 \mu\text{F} \sim 1.0 \mu\text{F}$ のセラミック・コンデンサを電源電圧ピンとアナログ信号グラウンドとの間に接続して AD654 を適切にバイパスすることが必要です。適切なグラウンド方式を図 6 に示します。

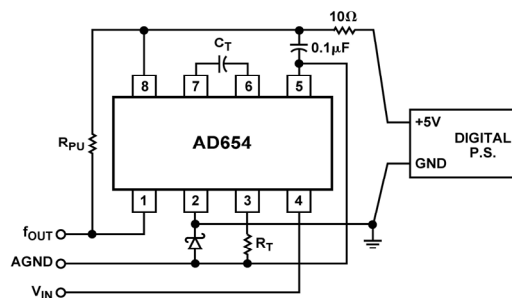


図 6. 適切なグラウンド方式

出力インターフェースの考慮事項

出力ステージのデザインにより、すべてのデジタル・ロジック・ファミリーへ容易なインターフェースが可能になります。出力 NPN トランジスタのエミッタとコレクタは接続されていません。エミッタは $-V_S \sim +V_S - 4 \text{ V}$ 内の任意の電圧に接続し、オープン・コレクタは $+V_S$ に関係なくエミッタより 36 V 高い電圧へプルアップすることができます。この高電力出力ステージは、 0.4 V 以下の飽和電圧で 10 mA 以上をシンクすることができます。このステージは出力電流を 25 mA に制限し、デバイスに損傷を与えることなくこの制限値を無制限に処理することができます。

非直線性仕様

非直線性誤差を規定する望ましい方法は、フルスケールでコンバータをキャリブレーションした後の理論的な関係からの最大偏差で定めることです。この誤差は、フルスケール周波数と動作モードにより変わります。AD654 は、負電圧入力するとき 150 kHz のフルスケール周波数で最適な動作をします。直線性は 0.05% (typ) 以内です。これより高い周波数での動作、または正入力での動作では、仕様表に示すように直線性が低下します。種々の温度での直線性 (typ) を図 7 に示します。

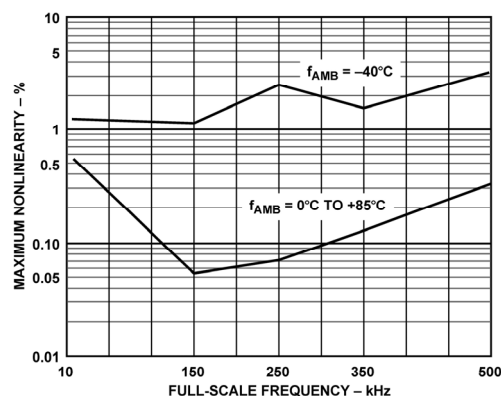


図 7. 様々なフルスケール周波数での代表的な非直線性

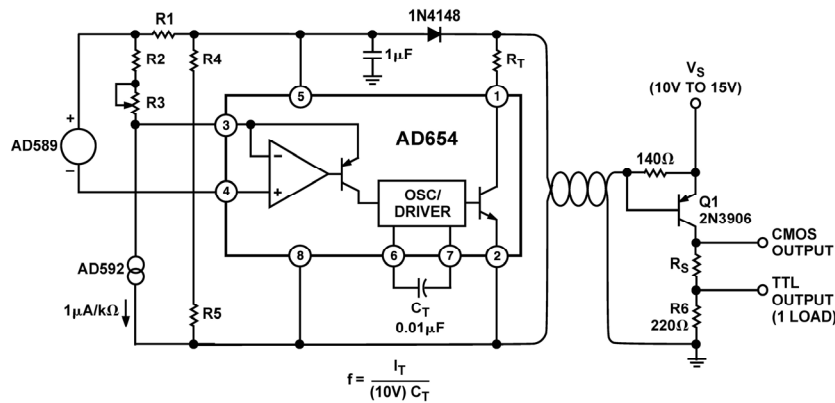


図 8.2 線式温度/周波数コンバータ

2 線式温度/周波数変換

図 8 に、2 線式温度/周波数変換方式で使した AD654 を示します。ツイストペア伝送線は、デバイスへの電源供給と電流変調形式での周波数データの伝送との間で共用されています。

正電源ラインは、140 Ω の抵抗を介してリモート V/F へ接続されています。この抵抗は、AD654 の静止電流による電圧降下が V_{BE} 1 個分以下になるように選択されています。

V/F が発振した場合、ピン 1 がロー・レベルになると、R_L を通るスイッチされた電流が増えます。この電流増加のピーク・レベルにより、Q1 が飽和するため、コレクタで AD654 の出力方形波が発生します。AD654 の電源電圧は、DC レベル(線抵抗による小さい電圧降下)と AD654 の出力周波数を持つ 1V_{BE} p-p 方形波の和から構成されます。このリップルは、ダイオード/コンデンサ組み合わせにより小さくなります。

与えられた電圧に対するレシーバ回路をセットアップするときは、R_S 抵抗と R_L 抵抗を表 I に示すように選択します。CMOS ロジック・ステージは、Q1 のコレクタから直接駆動し、1TTL 負荷を R_S と R6 の接続点から駆動することができます。

表 I.

+V _S	R _S (Ω)	R _L (Ω)
10V	270	1.8k
15V	680	2.7k

表 II.

	(+V _S)	R1(Ω)	R2(Ω)	R3(Ω)	R4(Ω)	R5(Ω)	
K	10V 15V	— —	— —	— —	100k 100k	127k 127k	F=10Hz/K
°C	10V 15V	6.49k 12.7k	4.02k 4.02k	1k 1k	95.3k 78.7k	22.6k 36.5k	F=10Hz/°C
°F	10V 15V	6.49k 12.7k	4.42k 4.42k	1k 1k	154k 105k	22.6k 36.5k	F=5.55Hz/°F

V/F 側では、AD592C 温度トランスジューサが AD654 にインターフェースして、AD654 の出力周波数が温度に比例するようになっています。出力周波数は、表 II に示す抵抗値を使って K から °C または °F へスケールしてオフセットさせることができます。温度は注目するパラメータであるため、V/F TC が小さい場合は NPO セ

ラミック・コンデンサがタイミング・コンデンサとして使用されます。

K に対するスケールでは、抵抗 R1~R3 と AD589 リファレンス電圧は使用しません。AD592 により 1 μA/K の電流出力が発生されて、この電流により AD654 のピン 3 が駆動されます。0.01 μF のタイミング・コンデンサを使って、10 Hz/K にスケールされた出力周波数が発生されます。°C と °F に対するスケールでは、AD589 と抵抗 R1~R3 を使って、ピン 3 での駆動電流が °C に対するスケールでは 273.2 μA だけ、°F に対するスケールでは 255.42 μA だけ、それぞれオフセットさせられます。これにより、周波数はそれぞれ 10 Hz/°C と 5.55 Hz/°F にスケールされます。

光アイソレータ結合

絶縁型信号結合の一般的な方法は、光電気アイソレータ、すなわちフォトカプラーを使う方法です。このタイプのデバイスでは、信号が入力 LED から出力フォトトランジスタへ接続媒体として光を使って結合されます。この技術を使うと、DC を送信することができるため、装置間のグラウンド・ループ問題の解決に極めて役立ち、広範囲な速度と電力で使用することができます。

図 9 に、低価格の 4N37 光アイソレータを使用した汎用絶縁型 V/F 回路を示します。ここでは、+5 V 電源を絶縁型 (+5 V 絶縁型) 電源とローカル (+5 V ローカル) 電源に使用しています。アイソレータの入力 LED は、高速および 100% 電流転送比に対して R1 により設定された 9 mA の電流レベルで AD654 のコレクタ出力から駆動されます。

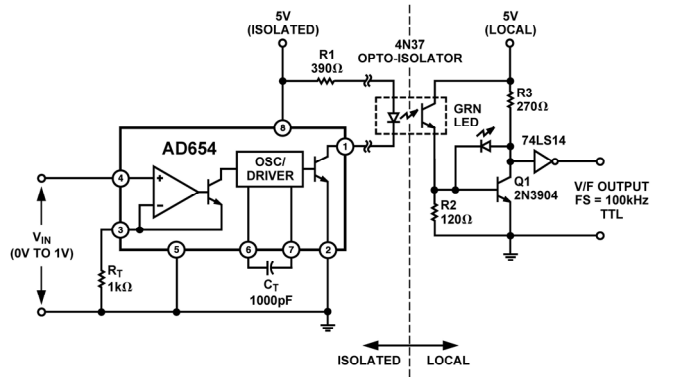


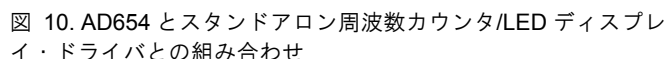
図 9. 光アイソレータ・インターフェース

カウント周期が長いと、カウント分解能が良くなるだけでなく、ノイズの多いアナログ信号の積分としても機能します。例えば、通常モード 60 Hz 正弦波が AD654 の入力に混入すると、出力周波数が正弦波の正の半周期で増加し、正弦波の負の半周期で減少します。この影響は、カウント周期をノイズ信号周期の整数値に一致させると相殺されます。100 ms のカウント周期は役立ちます。これは 60 Hz サイクルの整数値 (6) を持つだけでなく、50 Hz サイクルの整数値(5)も持つためです。これは、1 sec と 10 sec のカウント周期にも当て嵌まります。

シングルチップ・マイクロコンピュータを使用した AD654 採用のA/D変換

AD654 は、8048 のようなインターバル・タイマ/イベント・カウンタを持つシングルチップ・マイクロコンピュータと組み合わせて使うと、A/D コンバータとして機能します。図 11 に、フルスケール入力電圧 = +1V、フルスケール出力周波数 = 100 kHz、かつ 8048 のタイマ/カウンタ入力ピン T1 に接続した AD654 を示します。このようなシステムは +5V 単電源でも動作することができます。

カウント周期中にカウントされた立下がりエッジ合計数は入力電圧に比例します。例えば、1 V のフルスケール入力電圧で 100 kHz 信号が発生し、カウント周期が 100 ms とすると、合計カウントは 10,000 になります。この最大値からのスケーリングを使って入力電圧を決めます。すなわち、カウント 5000 は入力電圧 0.5 V に対応します。ICM7226 の場合と同様に、カウント時間が長いとカウント分解能が良くなります。またノイズの多いアナログ信号の積分が得られます。



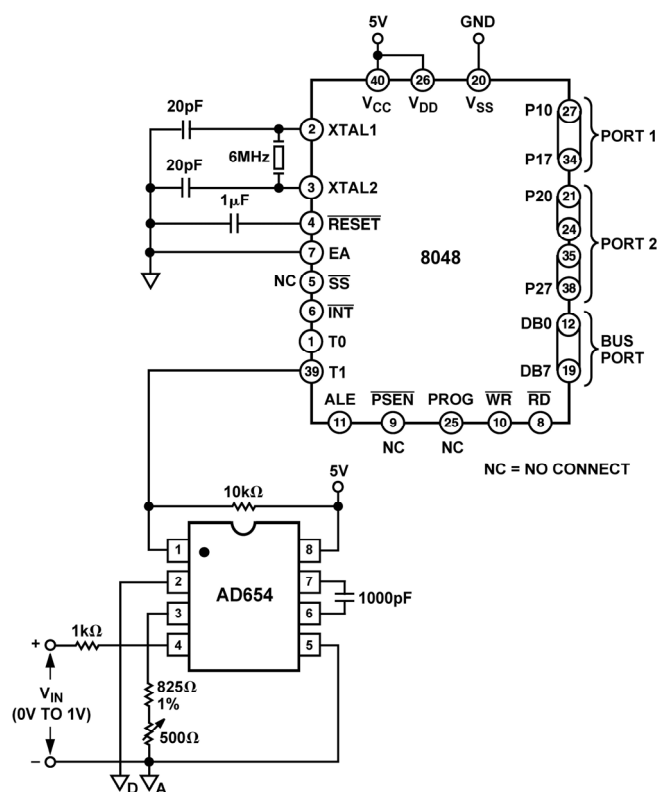


図 11. ADC としての AD654 VFC

周波数 2 倍器

AD654 の出力はパルス列ではなく方形波であるため、入力信号に関する情報は出力波形の両半分で伝送されます。図 12 に示す回路は出力をパルス列に変換します。これは AD654 の優れた低周波直線性を保存したまま実質的に出力周波数を 2 倍にすることになります。この回路は、AD654 の電源電圧より高い入力電圧にも対応します。

抵抗 R1~R3 を使って、0 V~+10 V の入力電圧をスケールダウンして 0 V~+1 V (AD654 のピン 4 の電圧) にします。V_{IN} は V_{SUPPLY} -4 V より小さい必要があることを思い出してください(この場合 1 V 以下)。タイミング抵抗とコンデンサは、ピン 4 から見たこの 0 V~+1 V の信号から 0 kHz~200 kHz の周波数が出力されるように選択します。

R4、C1 と XOR ゲートの使用により、この 200 kHz の出力周波数が 2 倍の 400 kHz になっています。AD654 出力トランジスタは基本的に、コンデンサ C1 を充電動作モードと放電動作モードとの間で切り替えるスイッチとして使われています。74LS86 の入力から見た電圧を波形図に示します。充電時定数と放電時定数に差があるため、74LS86 の出力パルス幅は等しくなりません。立下がり時間より立上がり時間が大きいのでコンデンサの充電時には出力パルスが広がります。このため、パルスを立下がりエッジではなく立上がりエッジでカウントする必要があります。

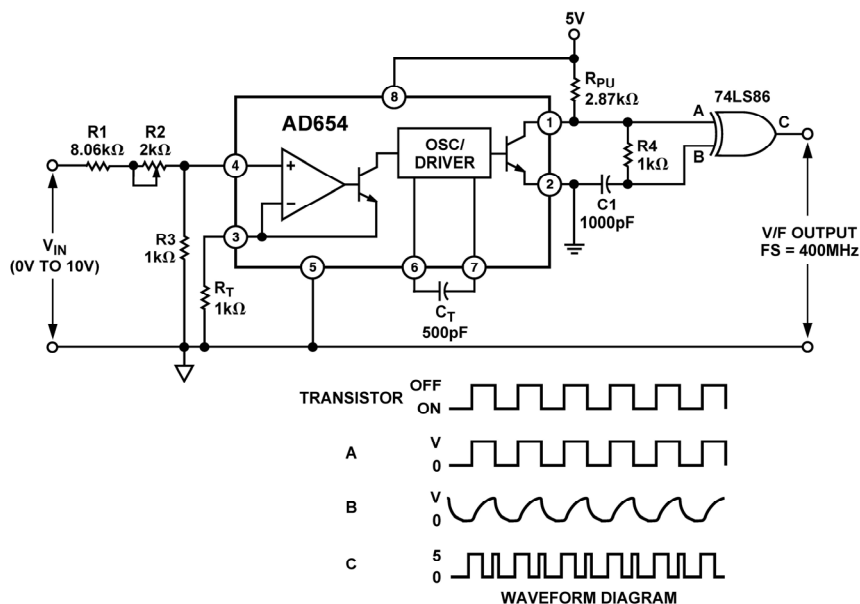


図 12. 周波数 2 倍器

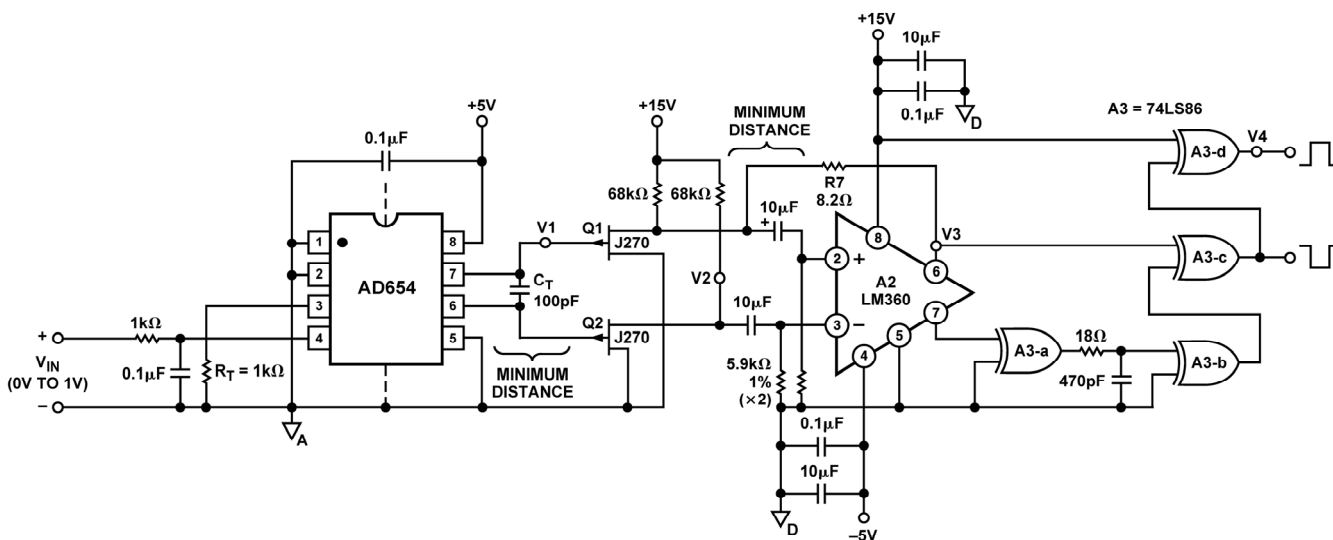


図 13.2 MHz、周波数を 2 倍にする V/F

高い出力周波数での動作

従来型出力（ピン1とピン2）を使う AD654 の動作速度は、TTL ロジック互換性のため約 500 kHz に限定されていました。出力ステージが速度を制限するようになって、マルチバイブレータ・コア自体は 1 MHz 以上で発振することができます。500 kHz 以上の周波数でデバイスを動作させるために、この機能を利用することができます。

図 13 に、このことを説明する 2 MHz フルスケールの回路を示します。この回路では、AD654 はフルスケール (FS) = 1 mA、 $C_T = 100$ pF で動作します。この回路では C_T の周りで 1 MHz の基本デバイス FS 周波数を実現しています。P チャンネル JFET(Q1 と Q2)により差動タイミング・コンデンサ波形をバッファして低インピーダンス・レベルにします。ここでプッシュプル信号が高速コンパレータ A2 に AC 結合されます。R7 によるヒステリシスを使って、紛らわしいスイッチングを防止して、低周波での発振を回避しています。

この結果、AD654 のダイナミックレンジを損なうことがなく、非常に高速な回路がえられます。これは、一般に数 pA と小さいバイアス電流を持つ FET バッファの使用によります。ただし、ダイナミックレンジの上限は、パッケージの寄生容量、 C_T に並列なレイアウト容量、各ノードと AC グラウンド間の容量により制限されます。PC レイアウトで A2~6/A2~7 と Q1/Q2 との間のリード長を短くすることが役立ちます。グラウンド・プレーンの使用も安定性に役立ちます。図 13 のそれぞれのポイントの波形 V1~V4 を図 14 に示します。

コンパレータの出力は、1 MHz FS での相補方形波です。パルス列出力の V/F コンバータとは異なり、AD654 出力の各半サイクルは入力情報を伝えます。このため、出力の全サイクルではなくエッジをカウントすることができ、実効出力周波数が 2 倍になります。A2 の後ろの XOR ゲートは、エッジ検出として機能し、各入力状態変化に対して狭いパルスを発生します。これにより、V/F FS 周波数が実質的に 2 倍の 2 MHz になります。最終結果としては、1 V のフルスケール入力 V/F で 2 MHz のフルスケール出力能力になり、非直線性は 0.5% (typ) になります。

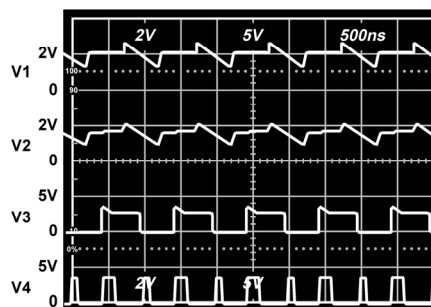
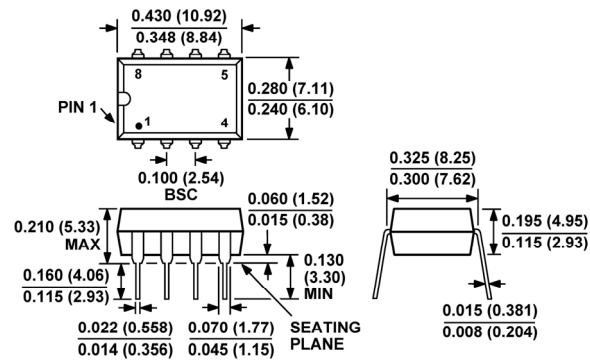


図 14. 2 MHz 周波数 2 倍器の波形

外形寸法

寸法表示: インチ(mm)

8 ピン・プラスチック DIP (N-8)



8 ピン SOIC (SO-8) (ナロー・ボディ)

