

特長

使いやすい、シングルエンド／差動変換アンプ

出力同相電圧の調整機能付き

外部からのゲイン調整可能

低高調波歪み：

SFDR：-94 dBc @ 5 MHz

SFDR：-85 dBc @ 20 MHz

-3 dB 帯域幅：320 MHz、G = +1

高速セトリング時間：16 ns (0.01%)

スルーレート：1150 V/μs

高速オーバードライブ回復時間：4 ns

低入力電圧ノイズ：5 nV/√Hz

オフセット電圧：1 mV (typ)

広い電源範囲：+3~±5 V

低消費電力：90 mW (5 V時)

0.1 dB ゲイン平坦性：40 MHz まで

8 ピン SOIC および MSOP パッケージ

アプリケーション

A/D コンバータ・ドライバ・アンプ

シングルエンド／差動コンバータ

IF およびベースバンドのゲイン・ブロック

差動バッファ

ライン・ドライバ

概要

AD8138 は、差動信号処理に関しオペアンプに比べ高度に最適化された製品であり、シングルエンド／差動変換アンプまたは差動／差動アンプとして使用することができます。オペアンプのように使いやすく、差動信号の増幅と駆動を大幅に簡素化します。アナログ・デバイス独自の高速 XFCB バイポーラ・プロセスで製造された AD8138 は、-3 dB 帯域幅が 320 MHz であり、市販の差動アンプの中で最も優れた高調波歪み特性で差動信号を出力します。ユニークな内部帰還機能により、出力ゲインと位相をバランスよくマッチングさせ、偶数次の高調波を抑制します。また内部帰還回路によって、外付けのゲイン設定抵抗のミスマッチによるゲイン誤差を最小限にします。

AD8138 の差動出力は、差動 A/D コンバータ (ADC) 入力とのバランスの取れた組み合わせにより、ADC の性能を最大化します。

AD8138 を使用することで、高性能 ADC 回路に伴うトランスが不要になり、低周波や DC 情報が失われることはありません。差動出力の同相レベルは V_{OCM} ピンの電圧によって調整でき、入力信号を容易にレベルシフトして単電源の ADC 入力を駆動することができます。高速のオーバードライブ・リカバリー性能により、サンプリング精度を維持します。

優れた低歪み性能を持つ AD8138 は、通信システムに最適な ADC ドライバです。高周波で 10~16 ビットの最新コンバータを駆動するのに十分な低歪み性能があります。また、広い帯域幅と IP3 性能により、信号チェーンの IF とベース・バンド間のゲイン・ブロックとしても有効です。優れたオフセット性能と動的性能を持つ AD8138 は、多種多様な信号処理およびデータ・アキュジションのアプリケーションに最適です。

AD8138 は SOIC および MSOP パッケージを採用しており、動作温度範囲は -40~+85°C です。

ピン配置

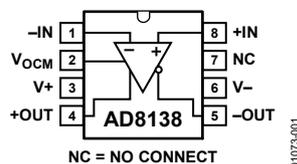


図 1.

代表的なアプリケーション回路

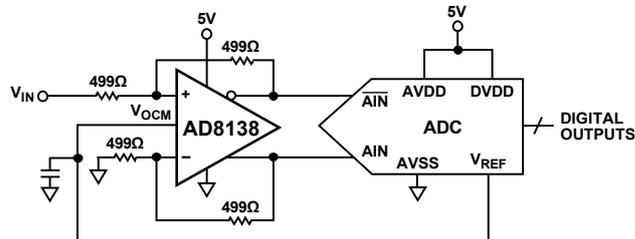


図 2.

目次

| | | | |
|------------------------------------|----|------------------------------|----|
| 特長..... | 1 | 動作説明..... | 16 |
| アプリケーション..... | 1 | 用語の定義..... | 16 |
| ピン配置..... | 1 | 動作原理..... | 17 |
| 代表的なアプリケーション回路..... | 1 | アプリケーション回路の考察..... | 17 |
| 概要..... | 1 | クローズドループ・ゲインの設定..... | 17 |
| 改訂履歴..... | 2 | 出力ノイズ電圧の計算..... | 17 |
| 仕様..... | 3 | 帰還回路の不一致による影響..... | 18 |
| $\pm D_{IN} \sim \pm OUT$ の仕様..... | 3 | アプリケーション回路の入力インピーダンスの計算..... | 18 |
| $V_{OCM} \sim \pm OUT$ の仕様..... | 4 | 単電源アプリケーションにおける入力同相電圧範囲..... | 18 |
| $\pm D_{IN} \sim \pm OUT$ の仕様..... | 5 | 出力同相電圧の設定..... | 18 |
| $V_{OCM} \sim \pm OUT$ の仕様..... | 6 | 容量性負荷の駆動..... | 18 |
| 絶対最大定格..... | 7 | レイアウト、グラウンディング、バイパス..... | 19 |
| 熱抵抗..... | 7 | バランスのとれたトランス・ドライバ..... | 20 |
| ESD に関する注意..... | 7 | 高性能 ADC の駆動..... | 21 |
| ピン配置と機能の説明..... | 8 | 3 V 動作..... | 22 |
| 代表的な性能特性..... | 9 | 外形寸法..... | 23 |
| テスト回路..... | 15 | オーダー・ガイド..... | 23 |

改訂履歴

1/06—Rev. E to Rev. F

| | |
|--|----|
| Changes to Features..... | 1 |
| Added Thermal Resistance Section and Maximum Power Dissipation Section..... | 7 |
| Changes to Balanced Transformer Driver Section..... | 20 |
| Changes to Ordering Guide..... | 23 |

3/03—Rev. D to Rev. E

| | |
|--|----|
| Changes to Specifications..... | 2 |
| Changes to Ordering Guide..... | 4 |
| Changes to TPC 16..... | 6 |
| Changes to Table I..... | 9 |
| Added New Paragraph after Table I..... | 10 |
| Updated Outline Dimensions..... | 14 |

7/02—Rev. C to Rev. D

| | |
|------------------------------------|---|
| Addition of TPC 35 and TPC 36..... | 8 |
|------------------------------------|---|

6/01—Rev. B to Rev. C

| | |
|------------------------------|---|
| Edits to Specifications..... | 2 |
| Edits to Ordering Guide..... | 4 |

12/00—Rev. A to Rev. B

9/99—Rev. 0 to Rev. A

3/99—Rev. 0: Initial Version

仕様

$\pm D_{IN} \sim \pm OUT$ の仕様

特に指定のない限り、25°Cで、 $V_S = \pm 5\text{ V}$ 、 $V_{OCM} = 0$ 、 $G = +1$ 、 $R_{L, dm} = 500\ \Omega$ 。テスト回路とラベルの説明については、図 39 を参照してください。特に指定のない限り、すべての仕様はシングルエンド入力、差動出力になります。

表 1.

| Parameter | Conditions | Min | Typ | Max | Unit |
|---|---|------|--------------|------|---|
| DYNAMIC PERFORMANCE | | | | | |
| -3 dB Small Signal Bandwidth | $V_{OUT} = 0.5\text{ V p-p}$, $C_F = 0\text{ pF}$ | 290 | 320 | | MHz |
| | $V_{OUT} = 0.5\text{ V p-p}$, $C_F = 1\text{ pF}$ | | 225 | | MHz |
| Bandwidth for 0.1 dB Flatness | $V_{OUT} = 0.5\text{ V p-p}$, $C_F = 0\text{ pF}$ | | 30 | | MHz |
| Large Signal Bandwidth | $V_{OUT} = 2\text{ V p-p}$, $C_F = 0\text{ pF}$ | | 265 | | MHz |
| Slew Rate | $V_{OUT} = 2\text{ V p-p}$, $C_F = 0\text{ pF}$ | | 1150 | | V/ μs |
| Settling Time | 0.01%, $V_{OUT} = 2\text{ V p-p}$, $C_F = 1\text{ pF}$ | | 16 | | ns |
| Overdrive Recovery Time | $V_{IN} = 5\text{ V to }0\text{ V step}$, $G = +2$ | | 4 | | ns |
| NOISE/HARMONIC PERFORMANCE¹ | | | | | |
| Second Harmonic | $V_{OUT} = 2\text{ V p-p}$, 5 MHz, $R_{L, dm} = 800\ \Omega$ | | -94 | | dBc |
| | $V_{OUT} = 2\text{ V p-p}$, 20 MHz, $R_{L, dm} = 800\ \Omega$ | | -87 | | dBc |
| | $V_{OUT} = 2\text{ V p-p}$, 70 MHz, $R_{L, dm} = 800\ \Omega$ | | -62 | | dBc |
| Third Harmonic | $V_{OUT} = 2\text{ V p-p}$, 5 MHz, $R_{L, dm} = 800\ \Omega$ | | -114 | | dBc |
| | $V_{OUT} = 2\text{ V p-p}$, 20 MHz, $R_{L, dm} = 800\ \Omega$ | | -85 | | dBc |
| | $V_{OUT} = 2\text{ V p-p}$, 70 MHz, $R_{L, dm} = 800\ \Omega$ | | -57 | | dBc |
| IMD | 20 MHz | | -77 | | dBc |
| IP3 | 20 MHz | | 37 | | dBm |
| Voltage Noise (RTI) | $f = 100\text{ kHz to }40\text{ MHz}$ | | 5 | | nV/ $\sqrt{\text{Hz}}$ |
| Input Current Noise | $f = 100\text{ kHz to }40\text{ MHz}$ | | 2 | | pA/ $\sqrt{\text{Hz}}$ |
| INPUT CHARACTERISTICS | | | | | |
| Offset Voltage | $V_{OS, dm} = V_{OUT, dm}/2$; $V_{DIN+} = V_{DIN-} = V_{OCM} = 0\text{ V}$ T_{MIN} to T_{MAX} variation | -2.5 | ± 1 | +2.5 | mV |
| Input Bias Current | T_{MIN} to T_{MAX} variation | | ± 4 | | $\mu\text{V}/^\circ\text{C}$ |
| Input Resistance | Differential Common mode | | 3.5 -0.01 | 7 | μA $\mu\text{A}/^\circ\text{C}$ |
| Input Capacitance | | | 6 | | M Ω |
| Input Common-Mode Voltage | | | 3 | | M Ω |
| CMRR | $\Delta V_{OUT, dm}/\Delta V_{IN, cm}$; $\Delta V_{IN, cm} = \pm 1\text{ V}$ | | 1 | | pF |
| | | | -4.7 to +3.4 | | V |
| | | | -77 | -70 | dB |
| OUTPUT CHARACTERISTICS | | | | | |
| Output Voltage Swing | Maximum ΔV_{OUT} ; single-ended output | | 7.75 | | V p-p |
| Output Current | | | 95 | | mA |
| Output Balance Error | $\Delta V_{OUT, cm}/\Delta V_{OUT, dm}$; $\Delta V_{OUT, dm} = 1\text{ V}$ | | -66 | | dB |

¹ $R_{L, dm}$ の値が高くなると、高調波歪み性能は若干低下することがあります。詳細については、図 17 と図 18 を参照してください。

V_{OCM} ~ ±OUTの仕様

特に指定のない限り、25°Cで、V_S = ±5 V、V_{OCM} = 0、G = +1、R_{L, dm} = 500 Ω。テスト回路とラベルの説明については、図 39 を参照してください。特に指定のない限り、すべての仕様はシングルエンド入力、差動出力になります。

表 2.

| Parameter | Conditions | Min | Typ | Max | Unit |
|------------------------------------|---|--------|------|--------|--------|
| DYNAMIC PERFORMANCE | | | | | |
| -3 dB Bandwidth | | | 250 | | MHz |
| Slew Rate | | | 330 | | V/μs |
| INPUT VOLTAGE NOISE (RTI) | f = 0.1 MHz to 100 MHz | | 17 | | nV/√Hz |
| DC PERFORMANCE | | | | | |
| Input Voltage Range | | | ±3.8 | | V |
| Input Resistance | | | 200 | | kΩ |
| Input Offset Voltage | V _{OS, cm} = V _{OUT, cm} ; V _{DIN+} = V _{DIN-} = V _{OCM} = 0 V | -3.5 | ±1 | +3.5 | mV |
| Input Bias Current | | | 0.5 | | μA |
| V _{OCM} CMRR | ΔV _{OUT, dm} /ΔV _{OCM} ; ΔV _{OCM} = ±1 V | | -75 | | dB |
| Gain | ΔV _{OUT, cm} /ΔV _{OCM} ; ΔV _{OCM} = ±1 V | 0.9955 | 1 | 1.0045 | V/V |
| POWER SUPPLY | | | | | |
| Operating Range | | ±1.4 | | ±5.5 | V |
| Quiescent Current | | 18 | 20 | 23 | mA |
| | T _{MIN} to T _{MAX} variation | | 40 | | μA/°C |
| Power Supply Rejection Ratio | ΔV _{OUT, dm} /ΔV _S ; ΔV _S = ±1 V | | -90 | -70 | dB |
| OPERATING TEMPERATURE RANGE | | -40 | | +85 | °C |

±D_{IN}~±D_{OUT}の仕様

特に指定のない限り、25°Cで、V_S = 5 V、V_{OCM} = 2.5 V、G = +1、R_{L, dm} = 500 Ω。テスト回路とラベルの説明については、図 39 を参照してください。特に指定のない限り、すべての仕様はシングルエンド入力、差動出力になります。

表 3.

| Parameter | Conditions | Min | Typ | Max | Unit |
|---|---|------|--------------|------|--------|
| DYNAMIC PERFORMANCE | | | | | |
| -3 dB Small Signal Bandwidth | V _{OUT} = 0.5 V p-p, C _F = 0 pF | 280 | 310 | | MHz |
| | V _{OUT} = 0.5 V p-p, C _F = 1 pF | | 225 | | MHz |
| Bandwidth for 0.1 dB Flatness | V _{OUT} = 0.5 V p-p, C _F = 0 pF | | 29 | | MHz |
| Large Signal Bandwidth | V _{OUT} = 2 V p-p, C _F = 0 pF | | 265 | | MHz |
| Slew Rate | V _{OUT} = 2 V p-p, C _F = 0 pF | | 950 | | V/μs |
| Settling Time | 0.01%, V _{OUT} = 2 V p-p, C _F = 1 pF | | 16 | | ns |
| Overdrive Recovery Time | V _{IN} = 2.5 V to 0 V step, G = +2 | | 4 | | ns |
| NOISE/HARMONIC PERFORMANCE¹ | | | | | |
| Second Harmonic | V _{OUT} = 2 V p-p, 5 MHz, R _{L, dm} = 800 Ω | | -90 | | dBc |
| | V _{OUT} = 2 V p-p, 20 MHz, R _{L, dm} = 800 Ω | | -79 | | dBc |
| | V _{OUT} = 2 V p-p, 70 MHz, R _{L, dm} = 800 Ω | | -60 | | dBc |
| Third Harmonic | V _{OUT} = 2 V p-p, 5 MHz, R _{L, dm} = 800 Ω | | -100 | | dBc |
| | V _{OUT} = 2 V p-p, 20 MHz, R _{L, dm} = 800 Ω | | -82 | | dBc |
| | V _{OUT} = 2 V p-p, 70 MHz, R _{L, dm} = 800 Ω | | -53 | | dBc |
| IMD | 20 MHz | | -74 | | dBc |
| IP3 | 20 MHz | | 35 | | dBm |
| Voltage Noise (RTI) | f = 100 kHz to 40 MHz | | 5 | | nV/√Hz |
| Input Current Noise | f = 100 kHz to 40 MHz | | 2 | | pA/√Hz |
| INPUT CHARACTERISTICS | | | | | |
| Offset Voltage | V _{OS, dm} = V _{OUT, dm} /2; V _{DIN+} = V _{DIN-} = V _{OCM} = 0 V T _{MIN} to T _{MAX} variation | -2.5 | ±1 | +2.5 | mV |
| Input Bias Current | T _{MIN} to T _{MAX} variation | | ±4 | | μV/°C |
| | T _{MIN} to T _{MAX} variation | | 3.5 | 7 | μA |
| Input Resistance | Differential | | -0.01 | | μA/°C |
| | Common mode | | 6 | | MΩ |
| Input Capacitance | | | 3 | | MΩ |
| Input Common-Mode Voltage | | | 1 | | pF |
| CMRR | ΔV _{OUT, dm} /ΔV _{IN, cm} ; ΔV _{IN, cm} = 1 V | | -0.3 to +3.2 | | V |
| | | | -77 | -70 | dB |
| OUTPUT CHARACTERISTICS | | | | | |
| Output Voltage Swing | Maximum ΔV _{OUT} ; single-ended output | | 2.9 | | V p-p |
| Output Current | | | 95 | | mA |
| Output Balance Error | ΔV _{OUT, cm} /ΔV _{OUT, dm} ; ΔV _{OUT, dm} = 1 V | | -65 | | dB |

¹ R_{L, dm}の値が高くなると、高調波歪み性能は若干低下することがあります。詳細については、図 17 と図 18 を参照してください。

V_{OCM} ~ ±OUTの仕様

特に指定のない限り、25°C で、V_S = 5 V、V_{OCM} = 2.5 V、G = +1、R_{L, dm} = 500 Ω。テスト回路とラベルの説明については、図 39 を参照してください。特に指定のない限り、すべての仕様はシングルエンド入力、差動出力になります。

表 4.

| Parameter | Conditions | Min | Typ | Max | Unit |
|------------------------------------|---|--------|------------|--------|--------|
| DYNAMIC PERFORMANCE | | | | | |
| -3 dB Bandwidth | | | 220 | | MHz |
| Slew Rate | | | 250 | | V/μs |
| INPUT VOLTAGE NOISE (RTI) | f = 0.1 MHz to 100 MHz | | 17 | | nV/√Hz |
| DC PERFORMANCE | | | | | |
| Input Voltage Range | | | 1.0 to 3.8 | | V |
| Input Resistance | | | 100 | | kΩ |
| Input Offset Voltage | V _{OS, cm} = V _{OUT, cm} ; V _{DIN+} = V _{DIN-} = V _{OCM} = 0 V | -5 | ±1 | +5 | mV |
| Input Bias Current | | | 0.5 | | μA |
| V _{OCM} CMRR | ΔV _{OUT, dm} /ΔV _{OCM} ; ΔV _{OCM} = 2.5 V ±1 V | | -70 | | dB |
| Gain | ΔV _{OUT, cm} /ΔV _{OCM} ; ΔV _{OCM} = 2.5 V ±1 V | 0.9968 | 1 | 1.0032 | V/V |
| POWER SUPPLY | | | | | |
| Operating Range | | 2.7 | | 11 | V |
| Quiescent Current | | 15 | 20 | 21 | mA |
| | T _{MIN} to T _{MAX} variation | | 40 | | μA/°C |
| Power Supply Rejection Ratio | ΔV _{OUT, dm} /ΔV _S ; ΔV _S = ±1 V | | -90 | -70 | dB |
| OPERATING TEMPERATURE RANGE | | -40 | | +85 | °C |

絶対最大定格

表 5.

| Parameter | Ratings |
|-------------------------------------|-----------------|
| Supply Voltage | ± 5.5 V |
| V_{OCM} | $\pm V_S$ |
| Internal Power Dissipation | 550 mW |
| Operating Temperature Range | -40°C to +85°C |
| Storage Temperature Range | -65°C to +150°C |
| Lead Temperature (Soldering 10 sec) | 300°C |
| Junction Temperature | 150°C |

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は最悪の条件、すなわちデバイスが自然空冷で回路ボードにハンダ付けされた状態で規定されています。

表 6.

| Package Type | θ_{JA} | Unit |
|---------------------|---------------|------|
| 8-Lead SOIC/4-Layer | 121 | °C/W |
| 8-Lead MSOP/4-Layer | 145 | °C/W |

最大消費電力

AD8138 のパッケージでの安全な最大消費電力は、チップのジャンクション温度 (T_J) の上昇によって制限されます。ガラス相遷移温度である約 150°C で、プラスチック材の特性が変化します。この規定温度を一時的に超えた場合でも、パッケージがチップに及ぼす応力が変化し、AD8138 のパラメータ性能を恒久的に変えてしまうことがあります。150°C のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が生じ、故障の原因になることがあります。

ESDに関する注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には 4,000V もの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自の ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。



パッケージ内の消費電力 (P_D) は、静止消費電力とすべての出力の負荷の駆動に起因するパッケージ内の消費電力との和になります。静止電力は、電源ピン間の電圧 (V_S) に静止時電流値 (I_S) を乗算した値になります。負荷電流には、負荷に流れる差動電流と同相電流のほか、外部帰還回路と内部同相帰還ループを流れる電流も含まれます。同相帰還ループで使用される内部抵抗タップによって、出力には無視できるレベルの差動負荷が加えられます。AC 信号を取り扱うときは、RMS 電圧/電流を考慮する必要があります。

空気流によって、 θ_{JA} の値は小さくなります。また、メタル・パターン、スルー・ホール、グラウンド、電源プレーンなどからパッケージ・リードに直接接触する金属が多いと、 θ_{JA} は小さくなります。

図 3 に、JEDEC 規格の 4 層ボードに実装した 8 ピン SOIC (121°C/W) パッケージと 8 ピン MSOP ($\theta_{JA}=145$ °C/W) パッケージにおける安全な最大消費電力と周囲温度の関係を示します。 θ_{JA} の値は近似値です。

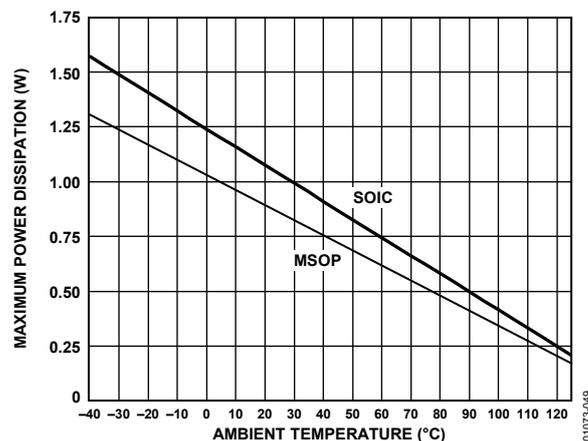


図 3. 最大消費電力の温度特性

ピン配置と機能の説明

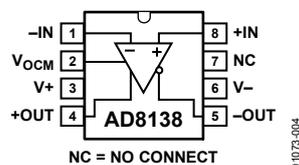


図 4. ピン配置

表 7. ピン機能の説明

| ピン番号 | 記号 | 説明 |
|------|------------------|--|
| 1 | -IN | 加算ノードへの負側入力。 |
| 2 | V _{OCM} | 同相出力電圧は、このピンに印加される電圧によって 1:1 の比率で設定されます。たとえば、V _{OCM} が 1 V DC の場合、+OUT と -OUT の DC バイアス・レベルは 1 V に設定されます。 |
| 3 | V+ | 正側電源電圧。 |
| 4 | +OUT | 正側出力。-D _{IN} の電圧は +OUT で反転します (図 42 を参照)。 |
| 5 | -OUT | 負側出力。+D _{IN} の電圧は -OUT で反転します (図 42 を参照)。 |
| 6 | V- | 負側電源電圧。 |
| 7 | NC | 接続なし。 |
| 8 | +IN | 加算ノードへの正側入力。 |

代表的な性能特性

特に指定のない限り、ゲイン = 1、 $R_G = R_F = R_{L, dm} = 499 \Omega$ 、 $T_A = 25^\circ\text{C}$ 。テスト回路については、図 39 を参照。

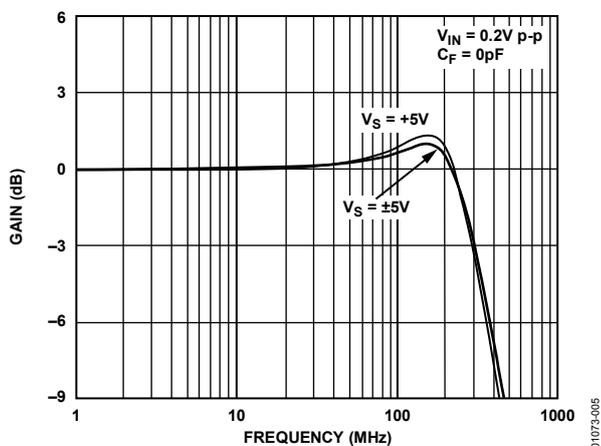


図 5. 小信号周波数応答

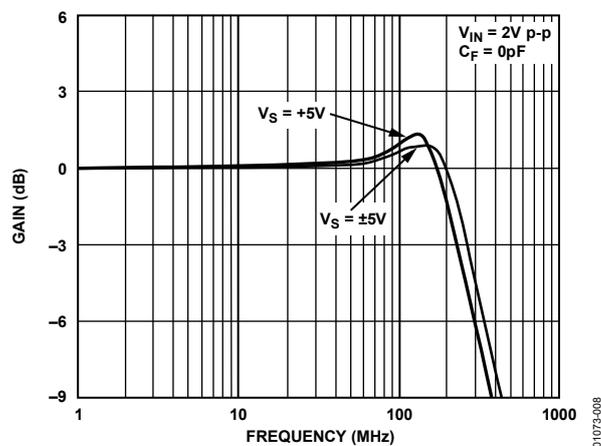


図 8. 大信号周波数応答

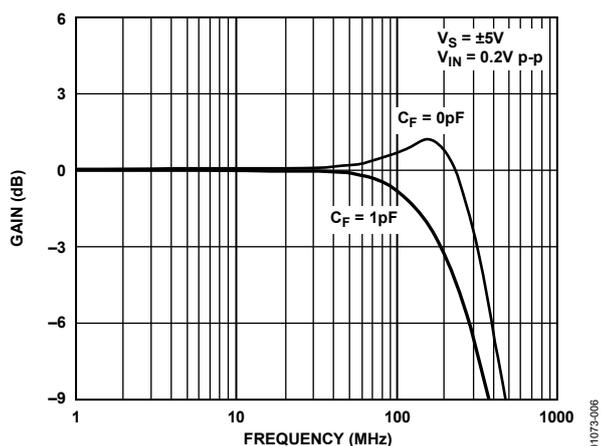


図 6. 小信号周波数応答

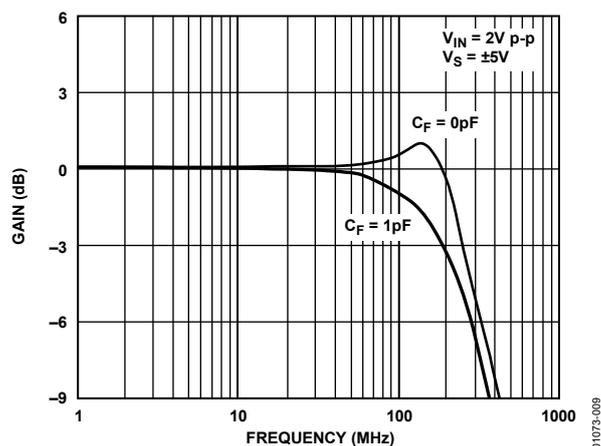


図 9. 大信号周波数応答

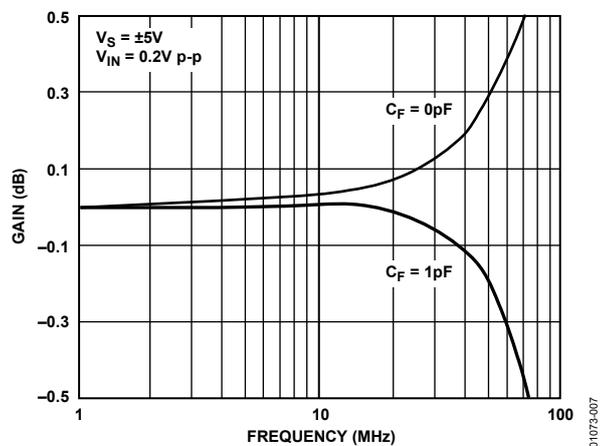


図 7. 0.1 dB 平坦性の周波数特性

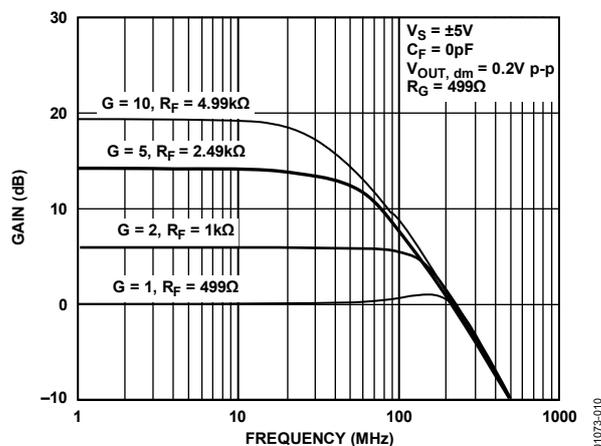


図 10. さまざまなゲインに対する小信号周波数応答

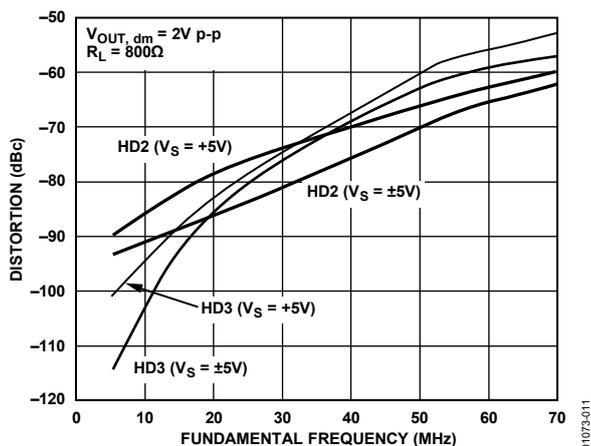


図 11. 高調波歪みの周波数特性

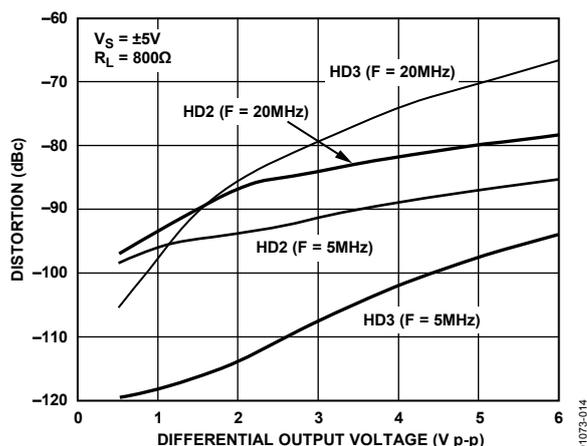


図 14. 差動出力電圧対高調波歪み

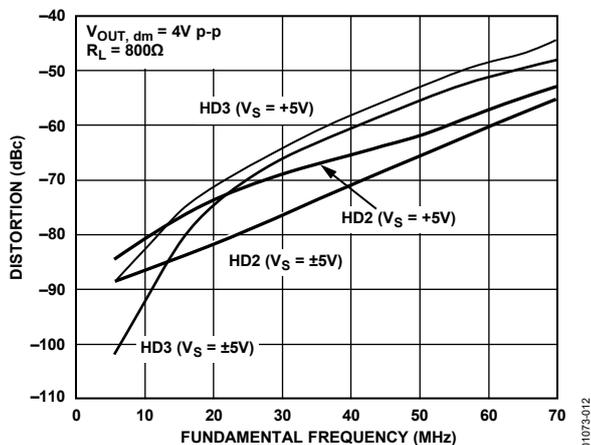


図 12. 高調波歪みの周波数特性

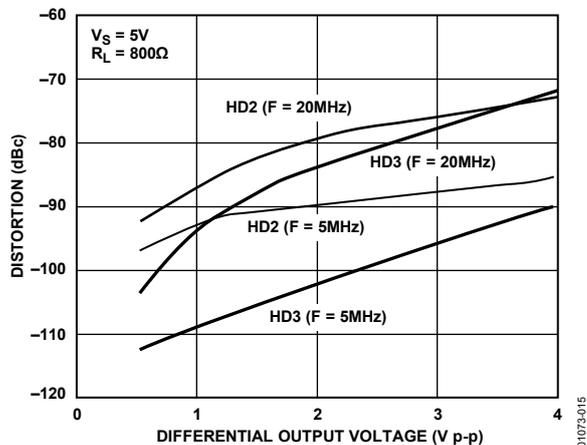


図 15. 差動出力電圧対高調波歪み

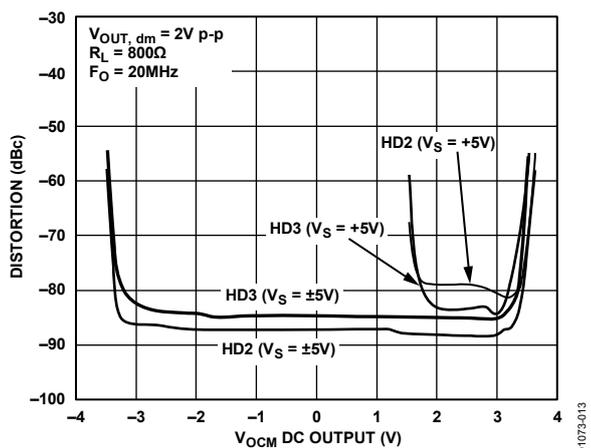


図 13. V_{OCM} 対高調波歪み

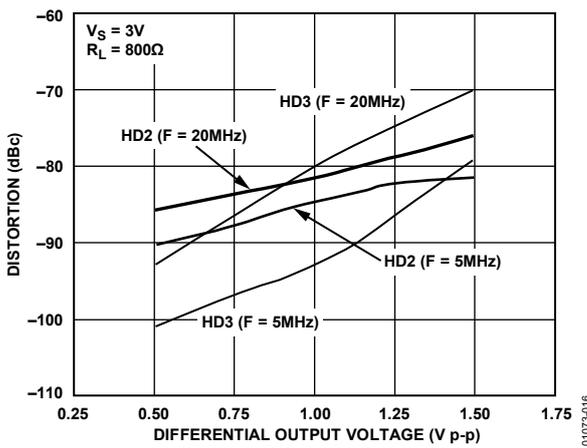


図 16. 差動出力電圧対高調波歪み

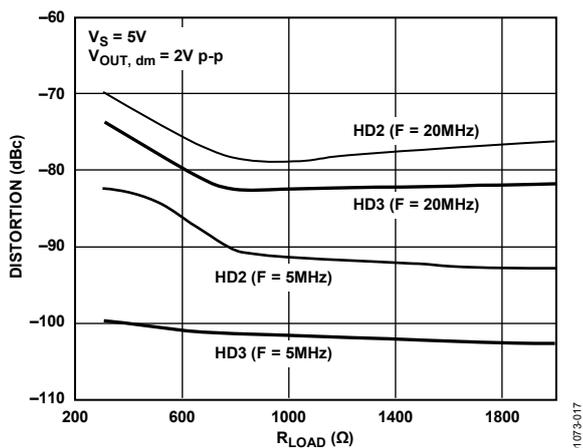


図 17. R_{LOAD} 対 高調波歪み

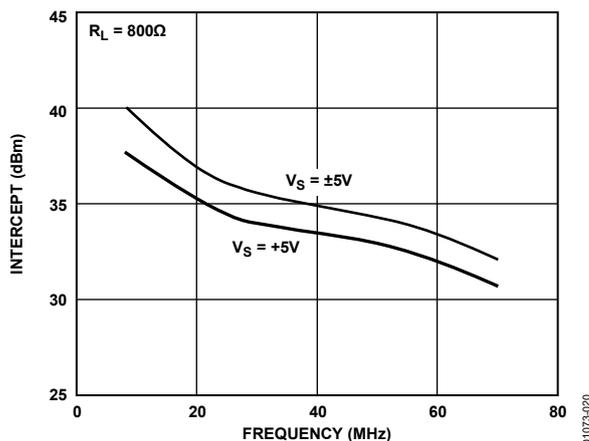


図 20. 3 次インターセプトの周波数特性

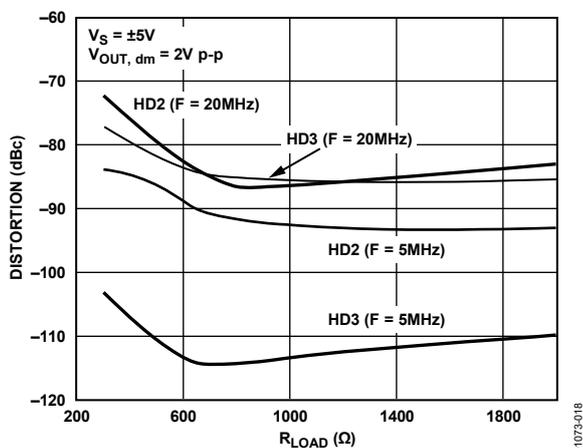


図 18. R_{LOAD} 対 高調波歪み

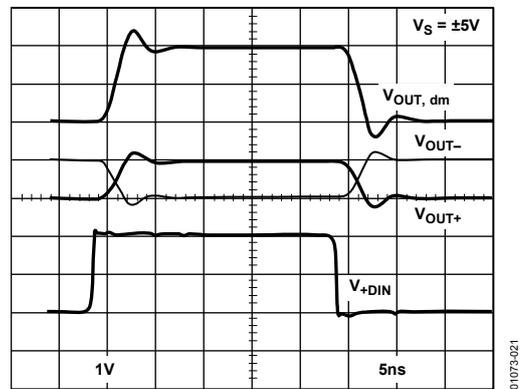


図 21. 大信号過渡応答

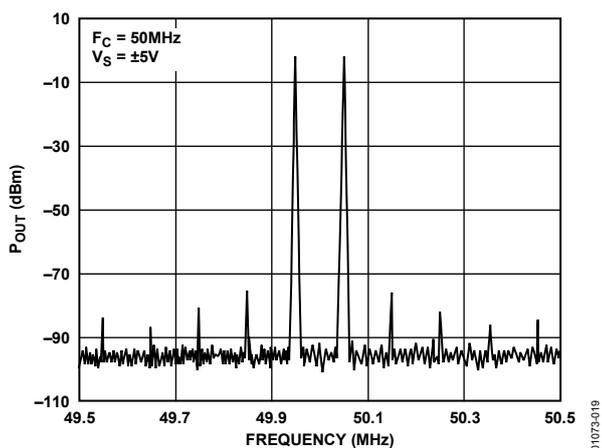


図 19. 相互変調歪み

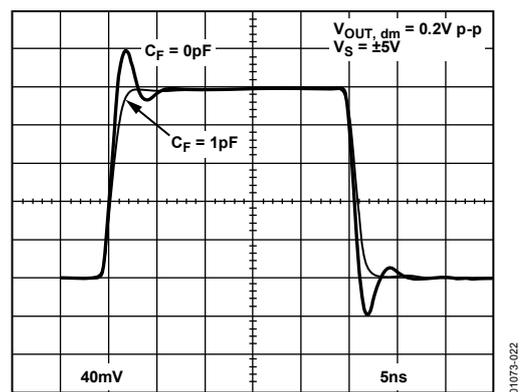


図 22. 小信号過渡応答

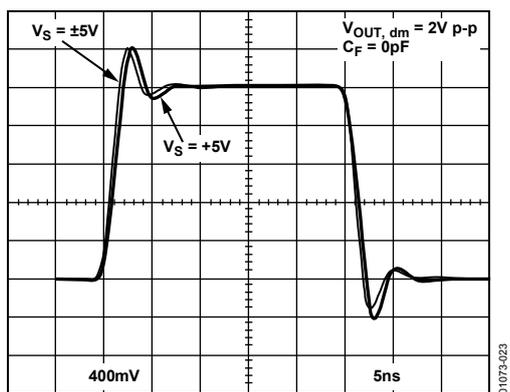


図 23. 大信号過渡応答

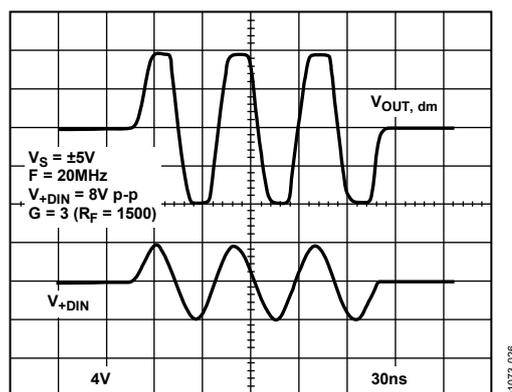


図 26. 出力オーバードライブ

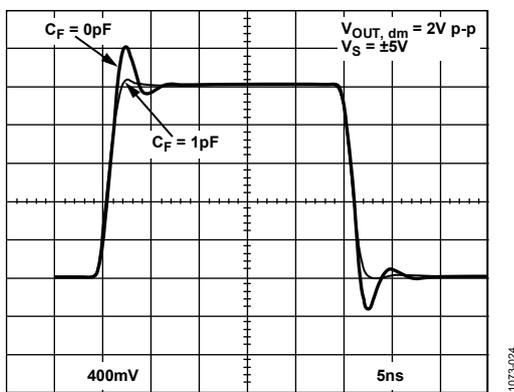


図 24. 大信号過渡応答

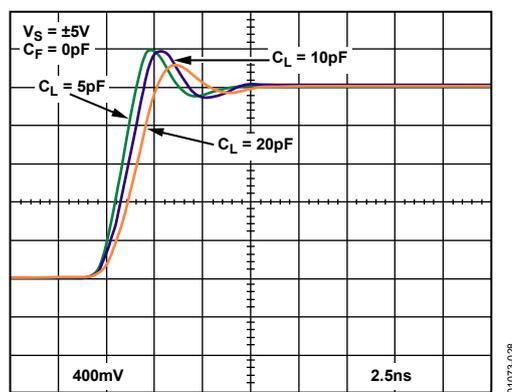


図 27. さまざまな容量性負荷に対する大信号過渡応答 (図 40 を参照)

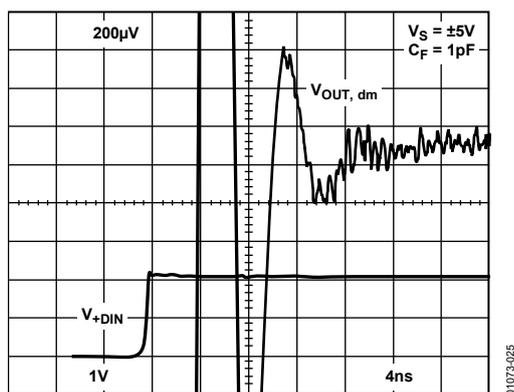


図 25. セットリング時間

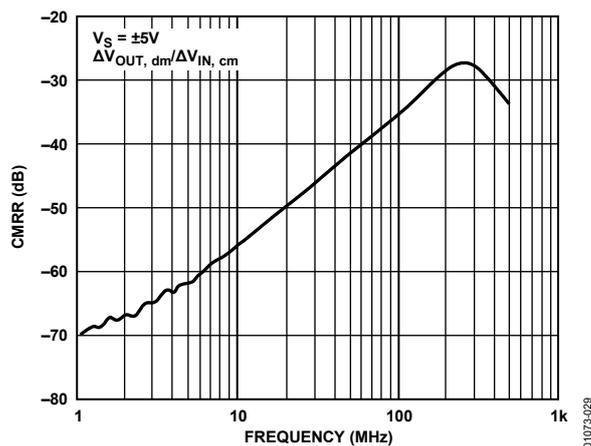


図 28. CMRR の周波数特性

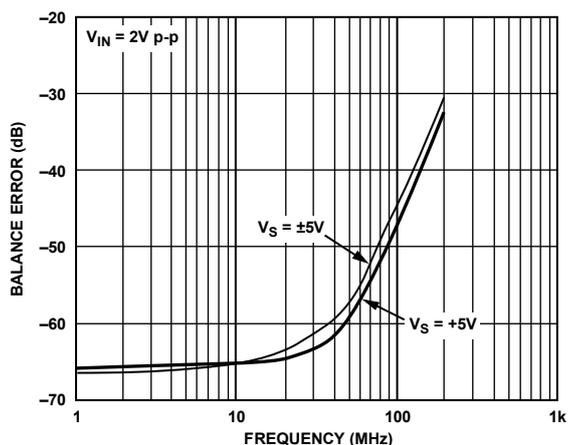


図 29. 出力バランス誤差の周波数特性 (図 41 を参照)

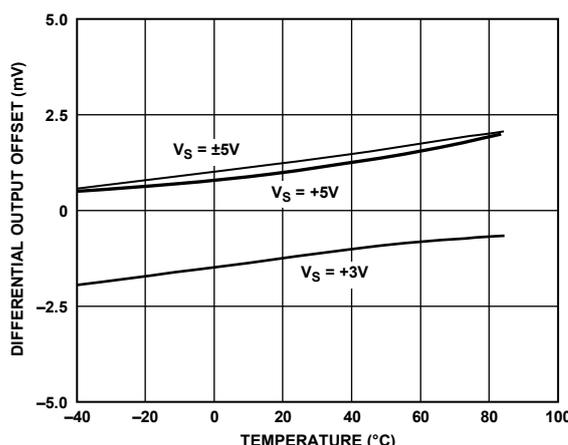


図 32. 出力換算差動オフセット電圧の温度特性

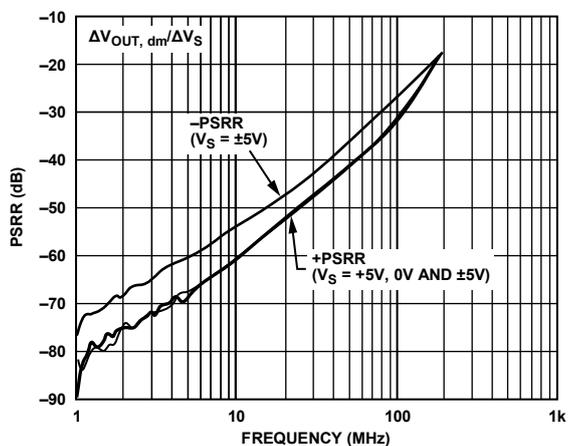


図 30. PSRR の周波数特性

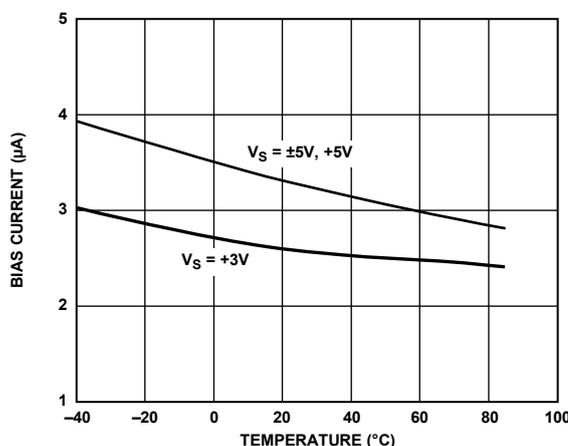


図 33. 入力バイアス電流の温度特性

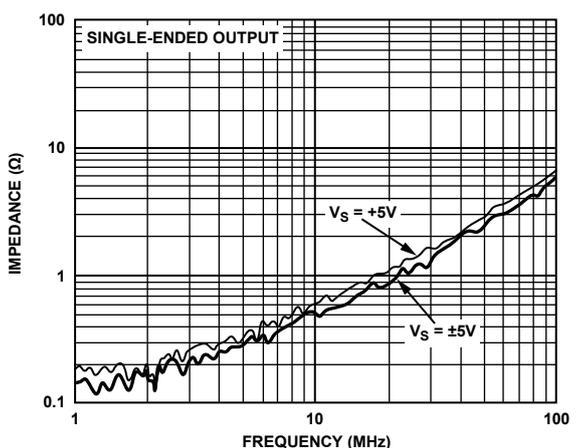


図 31. 出力インピーダンスの周波数特性

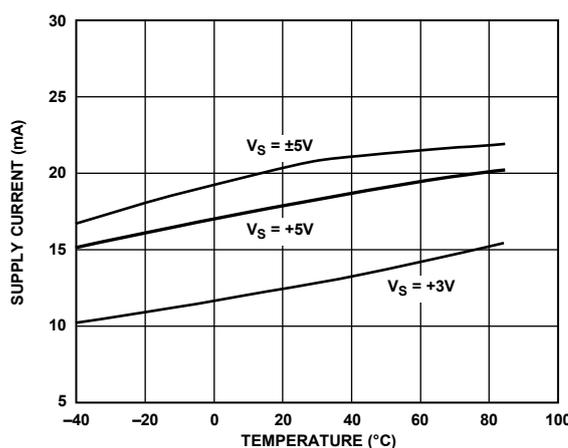


図 34. 電源電流の温度特性

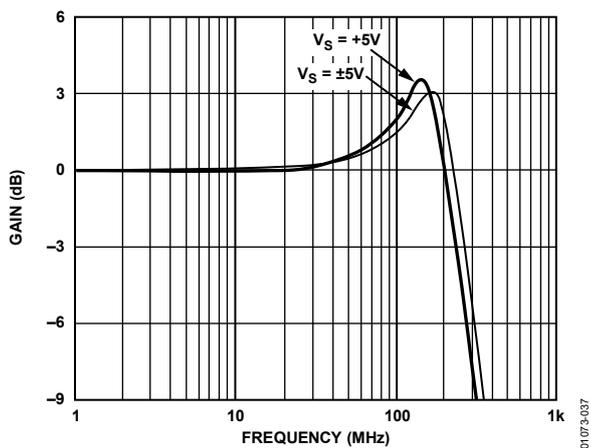


図 35. V_{OCM} 周波数応答

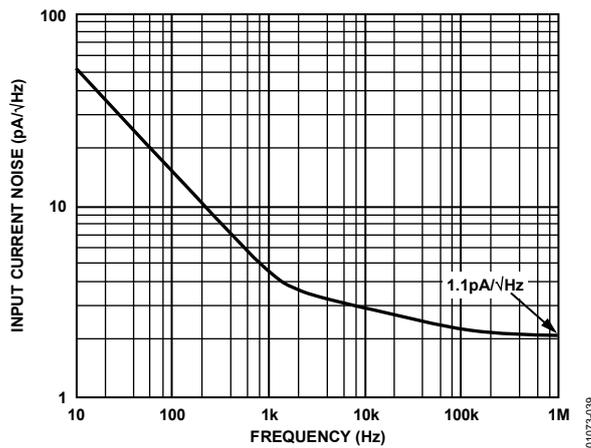


図 37. 電流ノイズ (RTI)

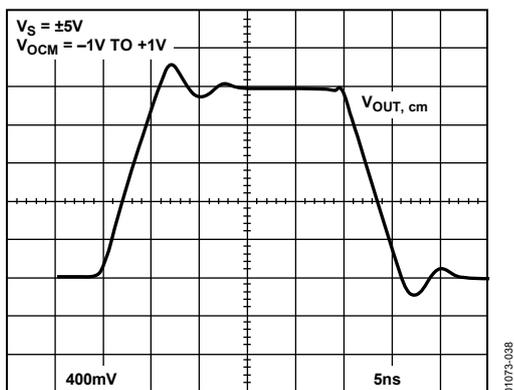


図 36. V_{OCM} 過渡応答

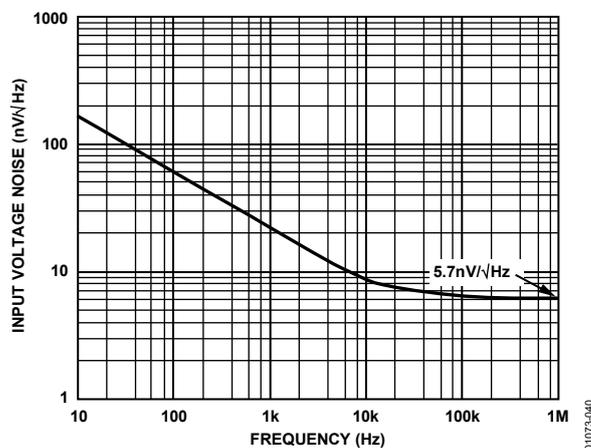


図 38. 電圧ノイズ (RTI)

テスト回路

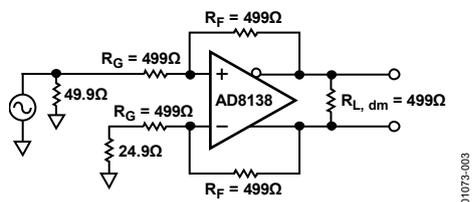


図 39. 基本的なテスト回路

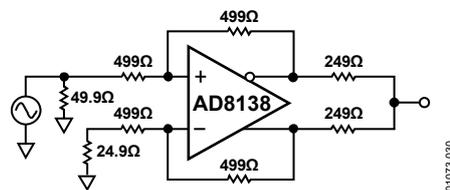


図 41. 出力バランスのテスト回路

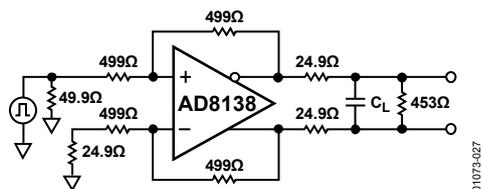


図 40. 容量性負荷駆動のテスト回路

動作説明

用語の定義

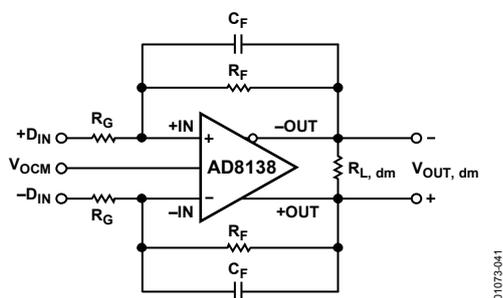


図 42. 回路の定義

差動電圧とは、2つのノード電圧間の差を意味します。たとえば、出力差動電圧（あるいは出力差動モード電圧）は、次のように定義されます

$$V_{OUT, dm} = (V_{+OUT} - V_{-OUT})$$

ここで、 V_{+OUT} と V_{-OUT} は、+OUTピンと-OUTピンの電圧（共通リファレンスを基準）を意味します。

同相電圧は2つのノード電圧の平均を意味します。出力同相電圧は、次式で定義されます。

$$V_{OUT, cm} = (V_{+OUT} + V_{-OUT})/2$$

バランスとは、2つの差動信号の振幅がどれほど同じで位相が正確に180°異なっているかを表します。バランスを最も簡単に求めるには、よくマッチングの取れた抵抗分圧器を差動電圧ノード間に接続し、分圧器の midpoint での信号振幅を差動信号の振幅と比較します（図 41 を参照）。この定義によれば、出力バランスは、出力同相電圧の振幅を出力差動モード電圧の振幅で除算した値になります。

$$\text{Output Balance Error} = \left| \frac{V_{OUT, cm}}{V_{OUT, dm}} \right|$$

動作原理

AD8138は、電圧が逆位相の2つの出力がある点で、従来型のオペアンプと異なっています。しかし、オペアンプと同じように、高いオープンループ・ゲインと負帰還によって、これらの出力を所定の電圧に変換します。AD8138は、標準的な電圧帰還オペアンプと同じような動作で、シングルエンド/差動変換、同相レベル・シフト、差動信号の増幅を行います。また、オペアンプと同じように、高い入力インピーダンスと低い出力インピーダンスを持っています。

これまでの差動ドライバは、ディスクリート設計であれ、集積回路設計であれ、2個の独立したアンプと2つの独立した帰還ループを用いてそれぞれの出力を制御していました。このような回路をシングルエンド信号源から駆動すると、出力は一般にあまりバランスがとれていない状態になります。出力をバランスのとれたものにするには、アンプと帰還回路について非常に優れたマッチングが求められました。

また従来の差動ドライバでは、DC同相レベル・シフトも困難でした。レベル・シフトには、出力同相レベルを制御するために3つめのアンプと帰還ループを使用しなければなりません。この3つめのアンプは、本質的に不平衡な回路の補正に使用されることもありましたが。このような方法では、広い周波数範囲で優れた性能を実現するのは無理でした。

AD8138は、2つのフィードバック・ループを使用して差動出力電圧と同相出力電圧を別々に制御します。外付け抵抗で設定される差動帰還ループは、差動出力電圧のみを制御します。同相帰還ループは、同相出力電圧のみを制御します。このアーキテクチャにより、出力同相レベルを出力差動レベルとは別個に任意の値に容易に設定することができます。内部同相帰還ループは、差動出力電圧に影響を与えることなく、出力同相電圧を V_{OCM} 入力に印加された電圧に等しくなるようにします。

AD8138のアーキテクチャによって、厳密にマッチングした外付け部品を使用しなくても、広い周波数範囲で優れたバランスの出力を得ることができます。同相帰還ループが出力同相電圧の信号成分をゼロにすることによって、真に同じ振幅で 180° の位相差の、ほぼ完全にバランスのとれた差動出力が得られます。

アプリケーション回路の考察

AD8138は、高いオープンループ・ゲインと負帰還を用いて、差動誤差電圧と同相誤差電圧が最小限になるように差動出力電圧と同相出力電圧を設定します。差動誤差電圧は、2つの差動入力(+INと-IN)間の電圧として定義されます(図42を参照)。多くの場合、この電圧はゼロと見なすことができます。同様に、実際の出力同相電圧と V_{OCM} に印加される電圧との差もゼロと見なすことができます。これら2つの前提に基づき、アプリケーション回路を解析することができます。

クローズドループ・ゲインの設定

コンデンサ C_F を無視すると、図42の回路の差動モード・ゲインは、次式で求めることができます。

$$\frac{V_{OUT,dm}}{V_{IN,dm}} = \frac{R_F^S}{R_G^S}$$

ここでは、入力抵抗(R_G^S)と帰還抵抗(R_F^S)が両側で等しいと仮定しています。

出力ノイズ電圧の計算

通常のオペアンプの場合と同様に、差動出力誤差(ノイズとオフセット電圧)を計算するには、+INと-INの入力換算で表される項に回路ノイズ・ゲインを乗算します。ノイズ・ゲインは次のように定義されます。

$$G_N = 1 + \left(\frac{R_F}{R_G} \right)$$

図42の回路の合計出力換算ノイズを算出するには、抵抗 R_F と R_G の影響も考慮する必要があります。表8に、さまざまなクローズドループ・ゲインで予測される出力ノイズ電圧密度を示します。

表 8.

| Gain | R_G (Ω) | R_F (Ω) | Bandwidth -3 dB | Output Noise AD8138 Only | Output Noise AD8138 + R_G, R_F |
|------|-----------------------|-----------------------|--------------------|-----------------------------------|---|
| 1 | 499 | 499 | 320 MHz | 10 nV/ $\sqrt{\text{Hz}}$ | 11.6 nV/ $\sqrt{\text{Hz}}$ |
| 2 | 499 | 1.0 k | 180 MHz | 15 nV/ $\sqrt{\text{Hz}}$ | 18.2 nV/ $\sqrt{\text{Hz}}$ |
| 5 | 499 | 2.49 k | 70 MHz | 30 nV/ $\sqrt{\text{Hz}}$ | 37.9 nV/ $\sqrt{\text{Hz}}$ |
| 10 | 499 | 4.99 k | 30 MHz | 55 nV/ $\sqrt{\text{Hz}}$ | 70.8 nV/ $\sqrt{\text{Hz}}$ |

一方の帰還回路の

$$\frac{R_F}{R_G}$$

が、他方の回路の

$$\frac{R_F}{R_G}$$

と等しくないゲイン設定で AD8138 を使用する場合、 V_{OCM} 回路の入力換算電圧に起因する差動出力ノイズが生じます。出力ノイズは、次の帰還項によって定義することができます (図 42 を参照)。

$$\beta_1 = \frac{R_G}{R_F + R_G}$$

は -OUT から +IN のループの場合、

$$\beta_2 = \frac{R_G}{R_F + R_G}$$

は +OUT から -IN のループの場合です。これらの定義によって、以下ようになります。

$$V_{nOUT, dm} = 2V_{nIN, V_{OCM}} \left[\frac{\beta_1 - \beta_2}{\beta_1 + \beta_2} \right]$$

ここで、 $V_{nOUT, dm}$ は出力差動ノイズ、 $V_{nIN, V_{OCM}}$ は V_{OCM} の入力換算電圧ノイズです。

帰還回路の不一致による影響

前述のように、外部帰還回路 (R_F/R_G) に不一致が生じて、内部同相帰還ループによって出力電圧は強制的に平衡状態になります。各出力信号の振幅は等しく、位相は 180° ずれています。入出力間の差動モード・ゲインは帰還回路の不一致に比例して変動しますが、出力平衡には影響がありません。

外部抵抗比にマッチング誤差があると、入力端子の同相信号を除去する能力が低下します。これは、従来型オペアンプを使用した 4 本の抵抗による差動アンプの場合と同じです。

また、入力と出力の同相電圧の DC レベルが異なる場合、マッチング誤差によって小さい差動モード出力オフセット電圧が生じます。G = 1 のときに、入力信号がグラウンド基準で出力同相レベルが 2.5 V に設定されている場合、1% 誤差の抵抗を使用すると 25 mV (同相レベルの差の 1%) の出力オフセットが生じる可能性があります。1% 誤差の抵抗を使用した場合、約 40 dB の最悪時入力 CMRR と 2.5 V レベル・シフトによる 25 mV の最悪時差動モード出力オフセットが生じますが、出力平衡誤差が大幅に低下することはありません。

アプリケーション回路の入カインピーダンスの計算

図 42 に示すような回路の +DIN と -DIN における実効入力インピーダンスは、駆動側がシングルエンドか差動のいずれの信号源であるかによって異なります。差動入力信号が平衡している場合、入力 (+DIN と -DIN) 間の入力インピーダンス ($R_{IN, dm}$) は、次式で求めることができます。

$$R_{IN, dm} = 2 \times R_G$$

シングルエンド入力信号の場合 (たとえば、-DIN を接地し、+DIN に入力信号を印加する場合)、入力インピーダンスは次式のようにになります。

$$R_{IN, dm} = \left(\frac{R_G}{1 - \frac{R_F}{2 \times (R_G + R_F)}} \right)$$

差動出力電圧の一部が同相信号として入力に現れて、入力抵抗 R_G の電圧を部分的に上昇させるため、インバータとして接続した従来型オペアンプの場合よりも回路の入力インピーダンスの実効値が高くなります。

単電源アプリケーションにおける入力同相電圧範囲

AD8138 は、グラウンド基準の入力信号のレベル・シフトのために最適化されています。このため、シングルエンドの入力の場合、たとえば V- のアンプの負側電源電圧が 0 V に設定されると、図 42 の -DIN の電圧は 0 V になります。

出力同相電圧の設定

AD8138 の V_{OCM} ピンは、電源中央値 (V+ と V- の電圧の平均値) にほぼ等しい電圧に内部的にバイアスされます。この内部バイアスを使用すると、出力同相電圧が予想値の約 100 mV 以内に収まります。

出力同相レベルをもっと高い精度で制御したい場合は、外部ソースまたは抵抗分圧器 (10 k Ω 抵抗で構成) の使用を推奨します。「仕様」に記載した出力同相オフセットは、 V_{OCM} 入力を低インピーダンス電圧源によって駆動することを前提としています。

容量性負荷の駆動

純粋な容量性負荷は、AD8138 のボンディングワイヤとピンのインダクタンスに影響しあって、パルス応答に高周波数のリングングが発生します。この影響を最小限に抑える 1 つの方法は、各帰還抵抗の両端に小さいコンデンサを接続することです。アンプを不安定にしないように、追加する容量は小さいものにしてください。もう 1 つの方法としては、図 40 に示すように、アンプの出力と直列に小さな抵抗を接続してください。

レイアウト、グラウンディング、バイパス

高速デバイスの AD8138 は、動作環境となるプリント基板配線の影響を受けます。優れた性能を実現するには、高速動作にあったプリント基板設計の、細部に注意を払う必要があります。

まず、AD8138 の周囲のボード領域をできる限り広く覆う良質の一枚のグラウンド・プレーンが必要です。唯一の例外は、2 本の入力ピン (1 番ピンと 8 番ピン) です。これはグラウンド・プレーンから 2~3 mm 離して設置し、グラウンドを内層や入力ピン下方のボードの反対側から離してください。こうすることで、これらのノードの浮遊容量を最小限に抑えて、ゲイン平坦性の周波数特性を維持することができます。

電源ピンは、できる限りデバイスの近くのグラウンド・プレーンにバイパスする必要があります。ここでは、良質の高周波セラミック・コンデンサを使用してください。このバイパス処理は、各電源について 0.01~0.1 μF のコンデンサで行います。低周波のバイパス処理は、各電源からグラウンドの間に 10 μF のタンタル・コンデンサを用いて行います。

配線の寄生素子を最少にするために、信号経路を短くし、直接ルーティングしてください。コンプリメンタリ信号が存在する場合は、バランス性能を最大限高めるために対称的なレイアウトにしてください。差動信号で距離の長い引き回しが必要なときは、プリント基板上の両パターンを互いに近くに配置したり、ループ面積が最小になるように差動配線をツイストさせます。こうすることでエネルギーの放射を抑え、干渉の影響を受けにくい回路にします。

バランスのとれたトランス・ドライバ

トランスは、シングルエンド/差動変換（および差動変換/シングルエンド）に使用されてきた最も古いデバイスの1つです。トランスは、絶縁インターフェース、昇圧または降圧、インピーダンス変換も実行します。このため、一部のアプリケーションではトランスが大変愛用されています。

しかし、トランスをシングルエンドで駆動すると、固有の寄生容量のために出力に不平衡が生じます。トランスの一次側（あるいは駆動側）の一方はDC電位（通常はグラウンド）で、もう一方は駆動されます。このため、トランスの差動出力信号に高いバランスが必要とされるシステムでは問題が生じることがあります。

巻線間の容量 (C_{STRAY}) が一様に分布していると想定できる場合は、駆動源からの信号は、一次側の駆動される側に最も近い2次出力端子に結合します。これに対し、2次側の反対側の端子には信号は結合しません。これは、その最も近い1次端子が接地により駆動されないためです（図43を参照）。この不平衡の大きさはトランスの寄生容量に依存しますが、多くの場合高い周波数において問題になります。

差動回路のバランスを測定するには、差動出力の両端に同じ値の抵抗分圧器を接続し、グラウンドを基準にして回路の中心点を測定します。2つの差動出力は同じ振幅ですが、位相が180°ずれていると考えられるため、完全にバランスのとれた出力にはAC信号が存在しないはずですが。

図43の回路は、Mini-Circuits® T1-6T トランスであり、1次側はシングルエンドで駆動し、2次側は端子の両端で高精度の分圧器に接続します。この分圧器は、500 Ω 、0.005%の2本の高精度抵抗から構成されます。電圧 V_{UNBAL} は、AC同相電圧とも等しく、出力のバランスの程度を表します。

図45は、信号発生器によってシングルエンドで駆動されているトランスと、AD8138を用いて差動で駆動されているトランスを比較しています。図45の上の信号パターンはシングルエンド構成のバランスを示し、下は差動で駆動されたバランス応答を示します。AD8138を使用すると、100 MHzのバランスが35 dB向上します。

AD8138のバランスのとれた出力は、同じ振幅で180°位相のずれた駆動信号をトランスの各1次入力に与えます。したがって、2次側の接続極性にもよりますが、巻線間の容量を介して伝わる信号は、いずれもトランスの2次側信号を等しく押し上げるか、2次側信号を等しく抑圧します。いずれにせよ、寄生効果は対称であり、バランスのとれたトランス出力が得られます（図45を参照）。

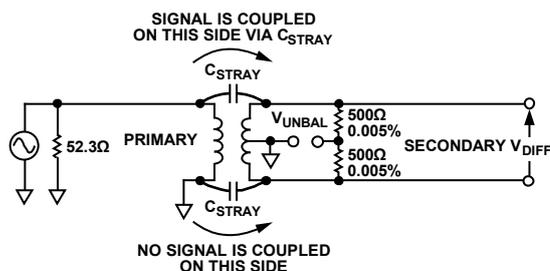


図43. トランスのシングルエンド/差動コンバータは本質的に不均衡

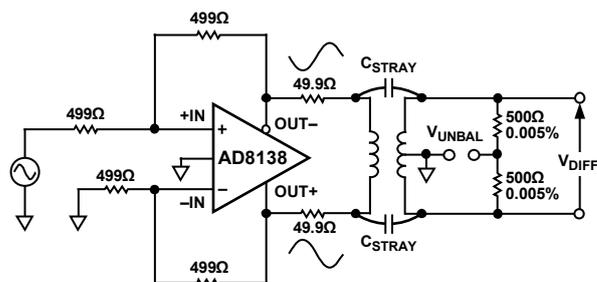


図44. AD8138はバランスのとれたトランス・ドライバを構成

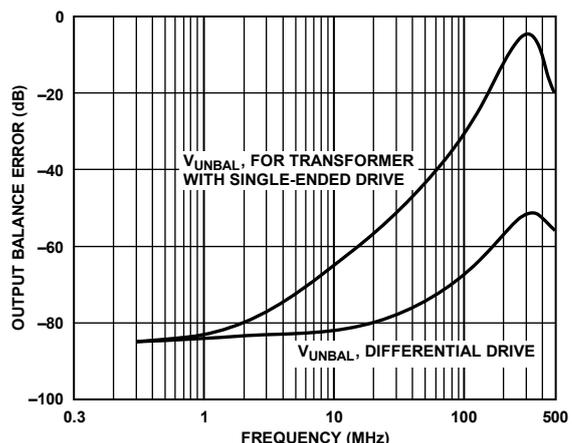


図45. 図43と図44の回路の出力バランス誤差

高性能ADCの駆動

図 46 の回路は、40 MSPS、12 ビット ADC の AD9224 を駆動する AD8138 のフロントエンド接続の簡略図です。AD9224 は差動で駆動したときに、歪みが最小になり、最適な性能を示します。AD8138 は、ADC を駆動するトランスを不要にし、シングルエンド／差動変換、同相レベル・シフト、駆動信号のバッファリングを行います。

AD8138 の正側出力と負側出力は、AD9224 のスイッチド・キャパシタ・フロントエンドの影響を抑えるために、1 対の $49.9\ \Omega$ 抵抗を介して AD9224 のそれぞれの差動入力に接続します。最高の歪み性能を得るために、 $\pm 5\ \text{V}$ の電源で動作します。

AD8138 は、ユニティ・ゲインの構成でシングルエンド入力を差動出力に変換します。 $50\ \Omega$ ソースと、非反転入力を駆動する $50\ \Omega$ 終端抵抗の並列インピーダンスのバランスをとるため、 $-\text{IN}$ への入力に $23\ \Omega$ を追加し、合計 $523\ \Omega$ になります。

信号発生器にはグラウンド基準のバイポーラ出力があるため、グラウンドの上下で対称的に駆動できます。AD9224 の CML ピンに V_{OCM} を接続すると、AD8138 の出力同相電圧は AD9224 の電源電圧の中心レベルである $2.5\ \text{V}$ に設定されます。この電圧は $0.1\ \mu\text{F}$ コンデンサによってデカップリングされます。

SENSE 端子を AVSS に短絡させることによって、AD9224 のフルスケールのアナログ入力レンジを $4\ \text{V p-p}$ に設定します。この値は、高調波歪みを最小限にするスケージングです。

AD8138 は $4\ \text{V p-p}$ で差動動作を行い、各出力は、 180° 位相のずれた信号を提供しながら $2\ \text{V p-p}$ で振幅動作します。 $2.5\ \text{V}$ の同相出力電圧により、AD8138 の各出力振幅は $1.5\sim 3.5\ \text{V}$ になります。

図 46 の回路をテストするために、 $D_{\text{IN}+}$ にグラウンド基準の $4\ \text{V p-p}$ 、 $5\ \text{MHz}$ 信号を使用しました。この結合デバイス回路を $20\ \text{MSPS}$ のサンプリング・レートで動作させたとき、スプリアス・フリー・ダイナミック・レンジ (SFDR) の測定値は $-85\ \text{dBc}$ でした。

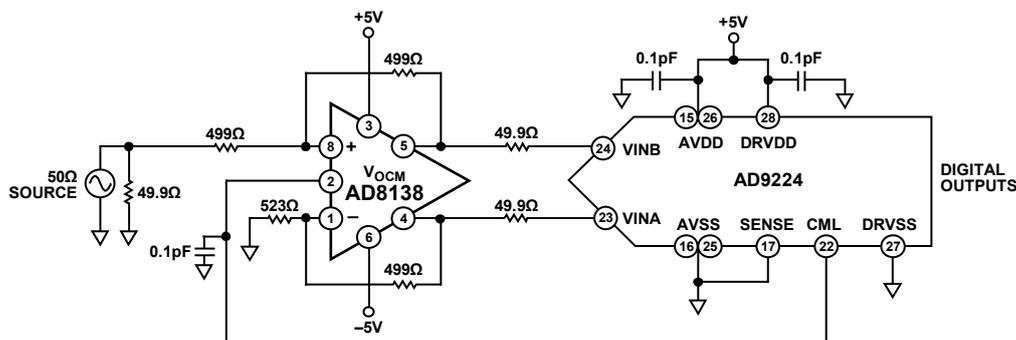


図 46. AD9224 (40 MSPS の 12 ビット ADC) を駆動する AD8138

01073-045

3 V動作

図 47 の回路は、3 V 単電源での動作が仕様規定された 40 MSPS、10 ビット ADC の AD9203 を駆動する AD8138 のフロントエンド接続の概略図です。AD9203 は、差動で駆動され、3 V 電源電圧内で得られる信号振幅を最大限活用する場合に最適な性能を発揮します。AD8138 の出力を、適切なローパス・フィルタを介して AD9203 の差動入力に接続します。

AD8138 は、ユニティ・ゲインの構成でシングルエンド入力を差動出力に変換します。50 Ω ソースと、非反転入力を駆動する 50 Ω 終端抵抗のインピーダンスのバランスをとるため、-IN への入力を 23 Ω を追加します。

信号発生器にはグラウンド基準のバイポーラ出力があるため、グラウンドの上下で対称的に駆動できます。AD8138 の負電源はグラウンドですが、それでもこのような入力信号でレベル・シフトとして機能します。

出力同相電圧は、 V_{OCM} をバイアスする分圧器によって電源中央値まで引き上げられます。このように、AD8138 は入力信号を反転することなく、バイポーラ信号の DC 結合とレベル・シフトを行います。

AD8138 と AD9203 の間のローパス・フィルタは、S/N 比 (SNR) を改善するフィルタ処理を行います。極周波数を下げればノイズを低減できますが、回路の帯域幅も低下します。

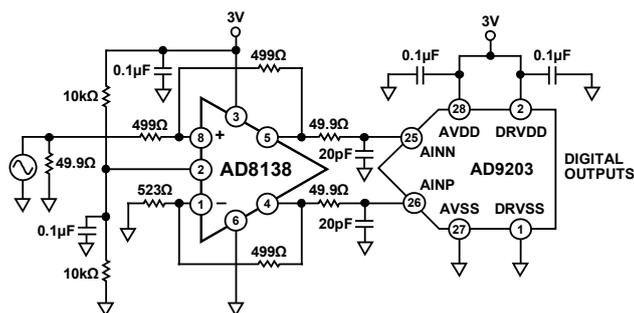


図 47. AD9203 (40 MSPS の 10 ビット ADC) を駆動する AD8138

さまざまな周波数の -0.5 dBFS 信号で、この回路をテストしました。図 48 に、1 V と 2 V の差動駆動レベルの信号振幅における全高調波歪み (THD) の周波数特性を示します。

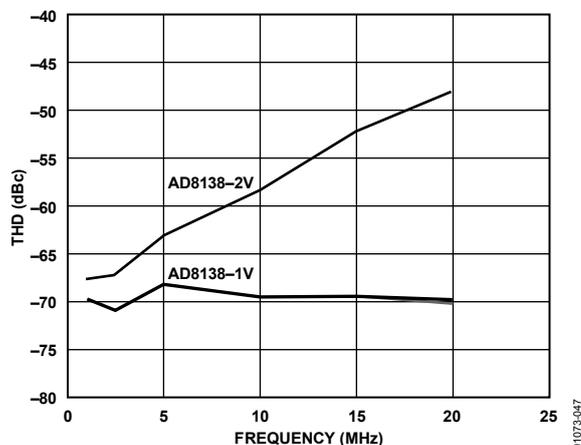


図 48. -0.5 dBFS の AD8138 を使用した場合の AD9203 の THD

図 49 に、上と同じ条件での信号/ノイズ&歪み (SINAD) を示します。信号振幅が小さい場合は、AD8138 は優れた性能を発揮しますが、電源レールに近づくまで振幅が大きくなると、性能が低下します。

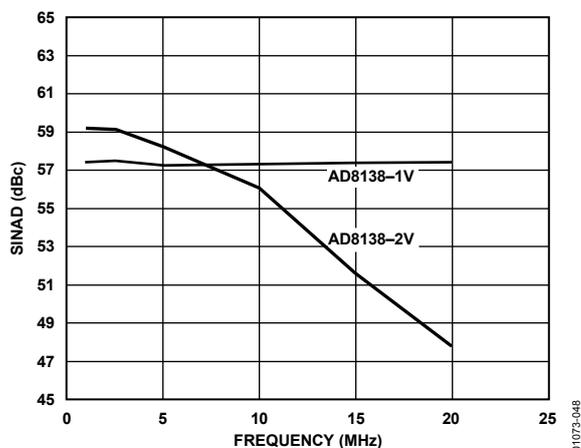
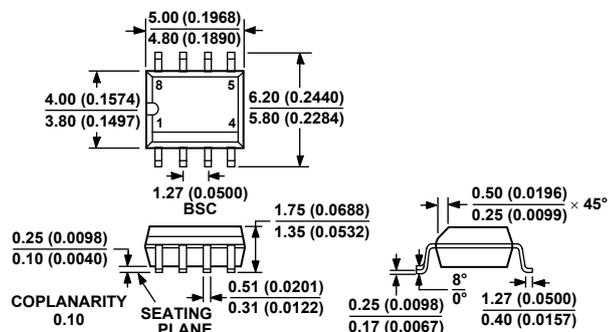


図 49. -0.5 dBFS の AD8138 を使用した場合の AD9203 の SINAD

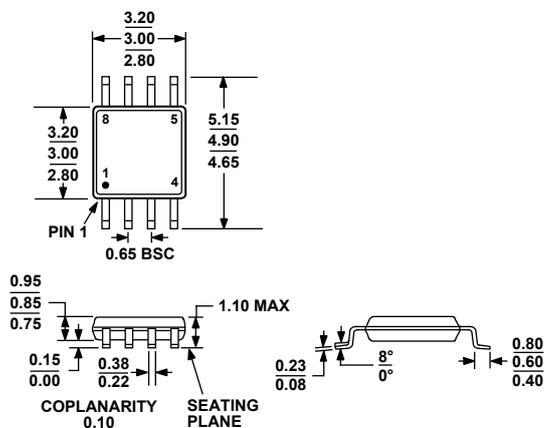
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA

CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

図 50. 8 ピン標準スモール・アウトライン・パッケージ [SOIC]
(R-8)
寸法単位: mm (インチ)



COMPLIANT TO JEDEC STANDARDS MO-187-AA

図 51. 8 ピン・ミニ・スモール・アウトライン・パッケージ [MSOP]
(RM-8)
寸法単位: mm

オーダー・ガイド

| Model | Temperature Range | Package Description | Package Option | Branding |
|-------------------------------|-------------------|--------------------------------|----------------|----------|
| AD8138AR | -40°C to +85°C | 8-Lead SOIC | R-8 | |
| AD8138AR-REEL | -40°C to +85°C | 8-Lead SOIC, 13" Tape and Reel | R-8 | |
| AD8138AR-REEL7 | -40°C to +85°C | 8-Lead SOIC, 7" Tape and Reel | R-8 | |
| AD8138ARZ ¹ | -40°C to +85°C | 8-Lead SOIC | R-8 | |
| AD8138ARZ-RL ¹ | -40°C to +85°C | 8-Lead SOIC, 13" Tape and Reel | R-8 | |
| AD8138ARZ-R7 ¹ | -40°C to +85°C | 8-Lead SOIC, 7" Tape and Reel | R-8 | |
| AD8138ARM | -40°C to +85°C | 8-Lead MSOP | RM-8 | HBA |
| AD8138ARM-REEL | -40°C to +85°C | 8-Lead MSOP, 13" Tape and Reel | RM-8 | HBA |
| AD8138ARM-REEL7 | -40°C to +85°C | 8-Lead MSOP, 7" Tape and Reel | RM-8 | HBA |
| AD8138ARMZ ¹ | -40°C to +85°C | 8-Lead MSOP | RM-8 | HBA# |
| AD8138ARMZ-REEL ¹ | -40°C to +85°C | 8-Lead MSOP, 13" Tape and Reel | RM-8 | HBA# |
| AD8138ARMZ-REEL7 ¹ | -40°C to +85°C | 8-Lead MSOP, 7" Tape and Reel | RM-8 | HBA# |

¹ Z = 鉛フリー製品。#は鉛フリー製品の表示が上面または底面に記されているものです。