

特長

超低歪み

- SFDR
- 101 dBc @ 5 MHz
- 90 dBc @ 20 MHz
- 63 dBc @ 70 MHz

3次のインターセプト

- 43 dBm @ 10 MHz

低ノイズ

- 3 nV/ $\sqrt{\text{Hz}}$
- 3 pA/ $\sqrt{\text{Hz}}$

高速

- 1 GHz、-3 dB 帯域幅 (G = +1)
- 1350 V/ μs のスルーレート
- 7.5 ns のセトリング時間 (0.1%)

標準および低歪みのピン配置

- 電源電流: 15 mA
- オフセット電圧: 1.0 mV (max)
- 広い電源電圧範囲: 3.3~12 V

アプリケーション

- 計測機器
- IF およびベースバンド・アンプ
- アクティブ・フィルタ
- ADC ドライバ
- DAC バッファ

接続図

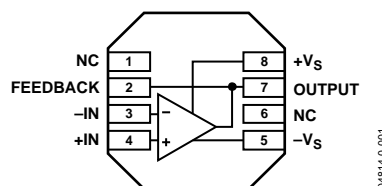


図 1. 8 ピン AD8045 LFCSP (CP-8)

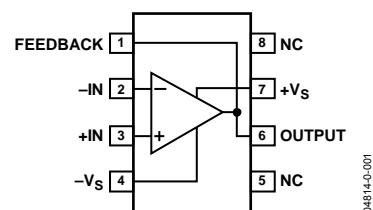


図 2. 8 ピン AD8045 SOIC/EP (RD-8)

概要

AD8045 は、超低歪み、低ノイズ、高スルーレート、ユニティ・ゲイン安定性の電圧帰還オペアンプです。20 MHz で-90 dBc の SFDR を備えているため、超音波、ATE、アクティブ・フィルタ、ADC ドライバなど、各種アプリケーションに最適なソリューションです。この高性能アンプには、アナログ・デバイス独自の次世代 XFCB プロセスや革新的なアーキテクチャが採用されています。

AD8045 は低歪みピン配置の LFCSP を採用しており、2 次高調波歪みを改善するとともに、PC ボードのレイアウトを簡素化します。

AD8045 の帯域幅は 1 GHz、スルーレートは 1350 V/ μs で、7.5 ns 以内に 0.1% にセトリングします。広い電源電圧範囲 (3.3~12 V) と低オフセット電圧 (200 μV) を備えているため、高ダイナミックレンジ、高精度、高速性を必要とするシステムに最適です。

AD8045 アンプは、3 mm \times 3 mm LFCSP と標準の 8 ピン SOIC を採用しています。このパッケージは両方とも、PC ボードへ低い熱抵抗パスを提供する露出パドルを備えています。これによりさらに効率的に熱が伝達し、信頼性が向上します。AD8045 は、拡張工業用温度範囲 (-40~+125 $^{\circ}\text{C}$) で動作します。

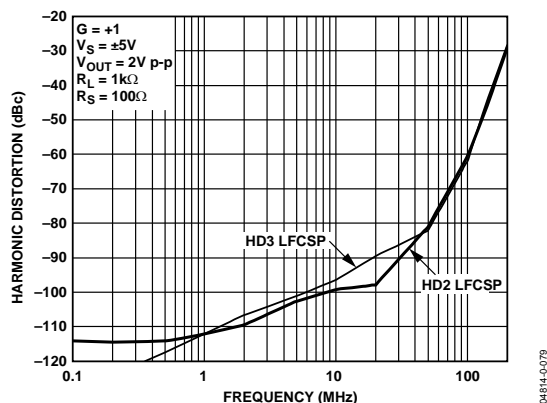


図 3. 各パッケージにおける高調波歪みの周波数特性

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2004 Analog Devices, Inc. All rights reserved.

目次

特長	1	DC 誤差	17
アプリケーション	1	出力ノイズ	18
接続図	1	アプリケーション	19
概要	1	低歪みのピン配置	19
仕様：±5 V 電源	3	高速 ADC ドライバ	19
仕様：+5 V 電源	4	90 MHz のアクティブ・ローパスフィルタ (LPF)	20
絶対最大定格	5	PC ボードのレイアウト	22
熱抵抗	5	信号ルーティング	22
ESD に関する注意	5	電源のバイパス	22
ピン配置と機能の説明	6	グラウンディング	22
代表的な動作特性	7	露出パドル	23
回路構成	16	容量性負荷の駆動	23
広帯域動作	16	外形寸法	24
動作原理	17	オーダー・ガイド	24
周波数応答	17		

改定履歴

9/04—Data Sheet Changed from Rev. 0 to Rev. A

Changes to Features	1
Changes to Specifications	4
Changes to Figure 58	15
Changes to Figure 63	17
Changes to Frequency Response Section	17
Changes to Figure 64	17
Changes to DC Errors Section	17
Changes to Figure 65	17
Changes to Figure 66	18
Changes to Output Noise Section	18
Changes to Ordering Guide	24

7/04—Revision 0: Initial Version

仕様 : ± 5 V電源

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $G = +1$ 、 $R_S = 100\ \Omega$ 、 $R_L = 1\ \text{k}\Omega$ （グラウンドに接続）。露出パドルは、フローティング状態にするか、 $-V_S$ に接続します。

表 1.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$G = +1$, $V_{OUT} = 0.2\ \text{V p-p}$		1000		MHz
	$G = +1$, $V_{OUT} = 2\ \text{V p-p}$	300	350		
Bandwidth for 0.1 dB Flatness	$G = +2$, $V_{OUT} = 0.2\ \text{V p-p}$	320	400		MHz
	$G = +2$, $V_{OUT} = 2\ \text{V p-p}$, $R_L = 150\ \Omega$		55		MHz
Slew Rate	$G = +1$, $V_{OUT} = 4\ \text{V step}$	1000	1350		V/ μs
Settling Time to 0.1%	$G = +2$, $V_{OUT} = 2\ \text{V step}$		7.5		ns
NOISE/HARMONIC PERFORMANCE					
Harmonic Distortion (dBc) HD2/HD3	$f_C = 5\ \text{MHz}$, $V_{OUT} = 2\ \text{V p-p}$ LFCSP		-102/-101		dBc
			-106/-101		dBc
	$f_C = 20\ \text{MHz}$, $V_{OUT} = 2\ \text{V p-p}$ LFCSP		-98/-90		dBc
			-97/-90		dBc
	$f_C = 70\ \text{MHz}$, $V_{OUT} = 2\ \text{V p-p}$ LFCSP		-71/-71		dBc
			-60/-71		dBc
Input Voltage Noise	$f = 100\ \text{kHz}$		3		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 100\ \text{kHz}$		3		pA/ $\sqrt{\text{Hz}}$
Differential Gain Error	NTSC, $G = +2$, $R_L = 150\ \Omega$		0.01		%
Differential Phase Error	NTSC, $G = +2$, $R_L = 150\ \Omega$		0.01		Degrees
DC PERFORMANCE					
Input Offset Voltage			0.2	1.0	mV
Input Offset Voltage Drift	See Figure 54		8		$\mu\text{V}/^\circ\text{C}$
Input Bias Current			2	6.3	μA
Input Bias Current Drift			8		nA/ $^\circ\text{C}$
Input Bias Offset Current			0.2	1.3	μA
Open-Loop Gain	$V_{OUT} = -3\ \text{V to } +3\ \text{V}$	62	64		dB
INPUT CHARACTERISTICS					
Input Resistance	Common-mode/differential		3.6/1.0		M Ω
Input Capacitance	Common-mode		1.3		pF
Input Common-Mode Voltage Range			± 3.8		V
Common-Mode Rejection	$V_{CM} = \pm 1\ \text{V}$	-83	-91		dB
OUTPUT CHARACTERISTICS					
Output Overdrive Recovery Time	$V_{IN} = \pm 3\ \text{V}$, $G = +2$		8		ns
Output Voltage Swing	$R_L = 1\ \text{k}\Omega$	-3.8 to +3.8	-3.9 to +3.9		V
	$R_L = 100\ \Omega$	-3.4 to +3.5	-3.6 to +3.6		V
Output Current			70		mA
Short-Circuit Current	Sinking/sourcing		90/170		mA
Capacitive Load Drive	30% overshoot, $G = +2$		18		pF
POWER SUPPLY					
Operating Range		± 1.65	± 5	± 6	V
Quiescent Current			16	19	mA
Positive Power Supply Rejection	$+V_S = +5\ \text{V to } +6\ \text{V}$, $-V_S = -5\ \text{V}$	-61	-68		dB
Negative Power Supply Rejection	$+V_S = +5\ \text{V}$, $-V_S = -5\ \text{V to } -6\ \text{V}$	-66	-73		dB

仕様 : +5 V電源

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $G = +1$ 、 $R_S = 100\ \Omega$ 、 $R_L = 1\ \text{k}\Omega$ （電源中央値に接続）。露出パドルは、フローティング状態にするか、 $-V_S$ に接続します。

表 2.

Parameter	Conditions	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$G = +1$, $V_{OUT} = 0.2\ \text{V p-p}$		900		MHz
	$G = +1$, $V_{OUT} = 2\ \text{V p-p}$	160	200		MHz
Bandwidth for 0.1 dB Flatness	$G = +2$, $V_{OUT} = 0.2\ \text{V p-p}$	320	395		MHz
	$G = +2$, $V_{OUT} = 2\ \text{V p-p}$, $R_L = 150\ \Omega$		60		MHz
Slew Rate	$G = +1$, $V_{OUT} = 2\ \text{V step}$	480	1060		V/ μs
Settling Time to 0.1%	$G = +2$, $V_{OUT} = 2\ \text{V step}$		10		ns
NOISE/HARMONIC PERFORMANCE					
Harmonic Distortion (dBc) HD2/HD3	$f_C = 5\ \text{MHz}$, $V_{OUT} = 2\ \text{V p-p}$	LFCSP		-89/-83	dBc
		SOIC		-92/-83	dBc
	$f_C = 20\ \text{MHz}$, $V_{OUT} = 2\ \text{V p-p}$	LFCSP		-81/-70	dBc
		SOIC		-83/-70	dBc
	$f_C = 70\ \text{MHz}$, $V_{OUT} = 2\ \text{V p-p}$	LFCSP		-57/-46	dBc
		SOIC		-57/-46	dBc
Input Voltage Noise	$f = 100\ \text{kHz}$		3		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 100\ \text{kHz}$		3		pA/ $\sqrt{\text{Hz}}$
Differential Gain Error	NTSC, $G = +2$, $R_L = 150\ \Omega$		0.01		%
Differential Phase Error	NTSC, $G = +2$, $R_L = 150\ \Omega$		0.01		Degrees
DC PERFORMANCE					
Input Offset Voltage			0.5	1.4	mV
Input Offset Voltage Drift	See Figure 54		7		$\mu\text{V}/^\circ\text{C}$
Input Bias Current			2	6.6	μA
Input Bias Current Drift			7		nA/ $^\circ\text{C}$
Input Bias Offset Current			0.2	1.3	μA
Open-Loop Gain	$V_{OUT} = 2\ \text{V to } 3\ \text{V}$	61	63		dB
INPUT CHARACTERISTICS					
Input Resistance	Common-mode/differential		3/0.9		M Ω
Input Capacitance	Common-mode		1.3		pF
Input Common-Mode Voltage Range			1.2 to 3.8		V
Common-Mode Rejection	$V_{CM} = 2\ \text{V to } 3\ \text{V}$	-78	-94		dB
OUTPUT CHARACTERISTICS					
Output Overdrive Recovery Time	$V_{IN} = -0.5\ \text{V to } +3\ \text{V}$, $G = +2$		10		ns
Output Voltage Swing	$R_L = 1\ \text{k}\Omega$	2.2 to 3.7	1.1 to 4.0		V
	$R_L = 100\ \Omega$	2.5 to 3.5	1.2 to 3.8		V
Output Current			55		mA
Short-Circuit Current	Sinking/sourcing		70/140		mA
Capacitive Load Drive	30% overshoot, $G = +2$		15		pF
POWER SUPPLY					
Operating Range		3.3	5	12	V
Quiescent Current			15	18	mA
Positive Power Supply Rejection	$+V_S = +5\ \text{V to } +6\ \text{V}$, $-V_S = 0\ \text{V}$	-65	-67		dB
Negative Power Supply Rejection	$+V_S = +5\ \text{V}$, $-V_S = 0\ \text{V to } -1\ \text{V}$	-70	-73		dB

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage	12.6 V
Power Dissipation	See Figure 4
Common-Mode Input Voltage	$-V_S - 0.7 \text{ V}$ to $+V_S + 0.7 \text{ V}$
Differential Input Voltage	$\pm V_S$
Exposed Paddle Voltage	$-V_S$
Storage Temperature	-65°C to $+125^\circ\text{C}$
Operating Temperature Range	-40°C to $+125^\circ\text{C}$
Lead Temperature Range (Soldering 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は最悪の条件、すなわち回路基板に表面実装パッケージをハンダ付けした状態で規定しています。

表 4. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
SOIC	80	30	$^\circ\text{C}/\text{W}$
LFCSP	93	35	$^\circ\text{C}/\text{W}$

最大消費電力

AD8045 の安全な最大消費電力は、チップのジャンクション温度 (T_J) が対応して上昇することによって制限されます。約 150°C のガラス転移温度で、プラスチックの属性が変化します。この温度規定値を一時的にせよ超えた場合は、パッケージがチップに与える応力が変化し、AD8045 のパラメータ性能が恒久的に変化することがあります。 175°C のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が生じ、性能劣化や機能低下の原因になることがあります。

ESDに関する注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には $4,000\text{V}$ もの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自の ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。



パッケージの消費電力 (P_D) は、静止消費電力と、AD8045 が出力を駆動することによりチップで消費される電力の合計です。静止電力は、電源ピン間の電圧 (V_S) に静止電流 (I_S) を乗算したものです。

$$P_D = \text{Quiescent Power} + (\text{Total Drive Power} - \text{Load Power})$$

$$P_D = (V_S \times I_S) + \left(\frac{V_S}{2} \times \frac{V_{OUT}}{R_L} \right) - \frac{V_{OUT}^2}{R_L}$$

ここでは、RMS 出力電圧を考慮する必要があります。単電源動作のように R_L が $-V_S$ を基準にする場合、全駆動電力は $V_S \times I_{OUT}$ になります。RMS 信号レベルが不定の場合は、電源中央値を基準とする R_L に対して $V_{OUT} = V_S/4$ となる最悪の条件を考えてください。

$$P_D = (V_S \times I_S) + \frac{(V_S/4)^2}{R_L}$$

R_L が $-V_S$ を基準にする単電源動作の場合、最悪の条件は $V_{OUT} = V_S/2$ になります。

空気流によって放熱量が増大すると、 θ_{JA} が減少します。さらに、メタル・パターン、スルー・ホール、グラウンド、電源プレーンからパッケージのピンや露出パドルに直接接触する金属が多いと、 θ_{JA} が減少します。

図 4 は、JEDEC 規格の 4 層基板に搭載した露出パドル付き SOIC ($80^\circ\text{C}/\text{W}$) / LFCSP ($93^\circ\text{C}/\text{W}$) パッケージのそれぞれについての最大安全消費電力と周囲温度の関係です。 θ_{JA} の値は近似値です。

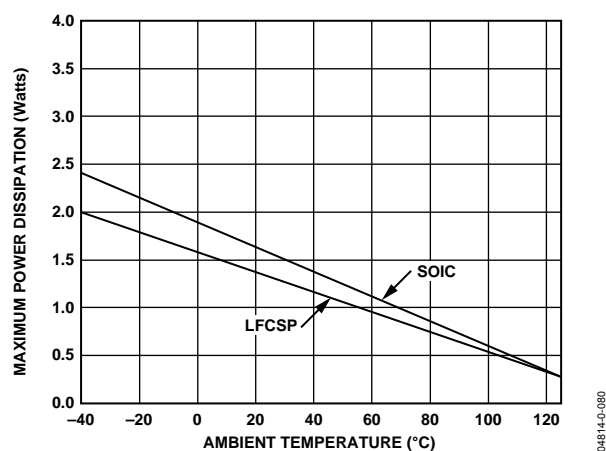


図 4. 4 層基板での最大消費電力の温度特性

ピン配置と機能の説明

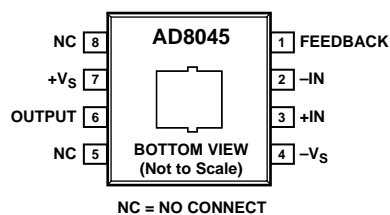


図 5. SOIC のピン配置

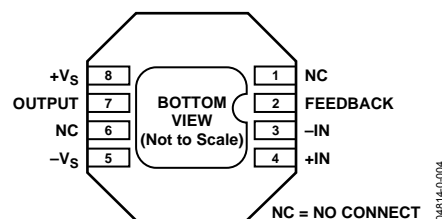


図 6. 8 ピン LFCSP のピン配置

注：露出パドルは $-V_S$ に接続するか、電氣的に絶縁（フローティング）してください。

表 5. 8 ピン SOIC のピン機能の説明

ピン番号	記号	説明
1	FEEDBACK	帰還ピン
2	-IN	反転入力
3	+IN	非反転入力
4	$-V_S$	負電源
5	NC	無接続
6	OUTPUT	出力
7	$+V_S$	正電源
8	NC	無接続
9	Exposed Paddle	$-V_S$ に接続するか、電氣的に絶縁します

表 6. 8 ピン LFCSP のピン機能の説明

ピン番号	記号	説明
1	NC	無接続
2	FEEDBACK	帰還ピン
3	-IN	反転入力
4	+IN	非反転入力
5	$-V_S$	負電源
6	NC	無接続
7	OUTPUT	出力
8	$+V_S$	正電源
9	Exposed Paddle	$-V_S$ に接続するか、電氣的に絶縁します

代表的な動作特性

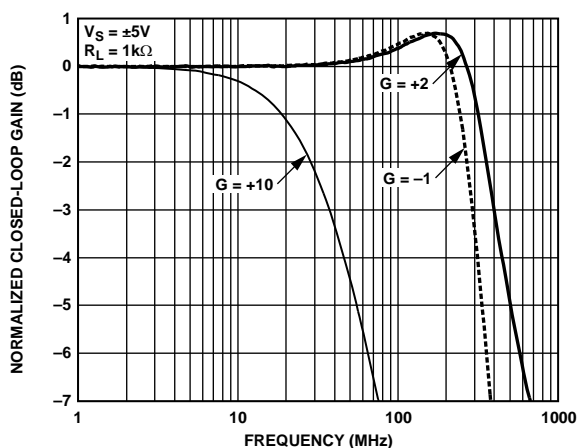


図 7. 各種ゲインの小信号周波数応答

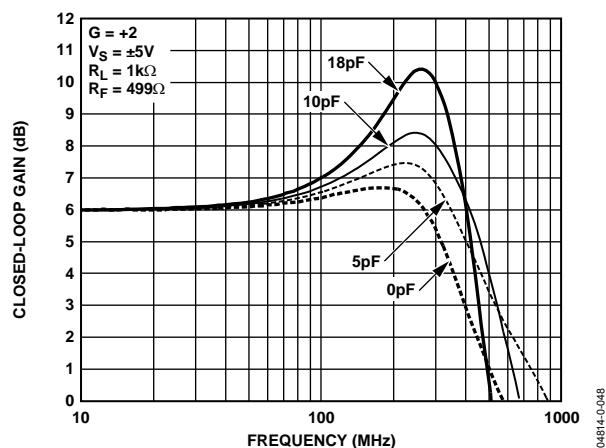


図 10. 各種容量性負荷の小信号周波数応答

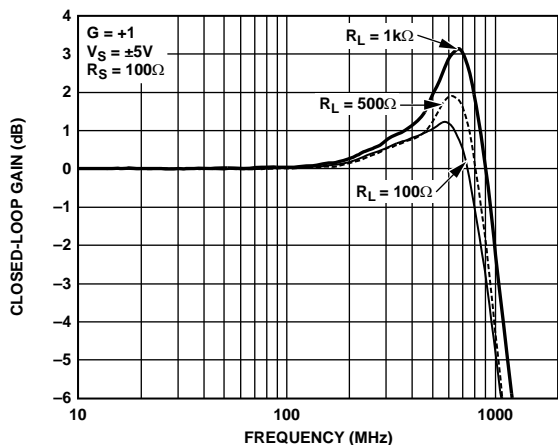


図 8. 各種負荷の小信号周波数応答

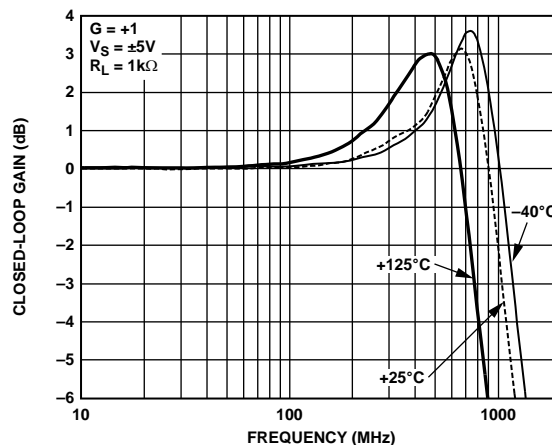


図 11. 各種温度の小信号周波数応答

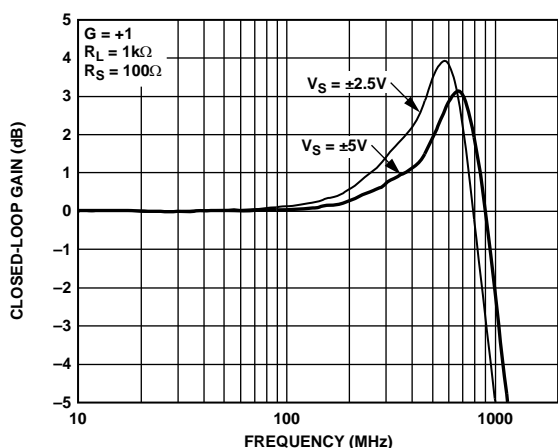


図 9. 各種電源の小信号周波数応答

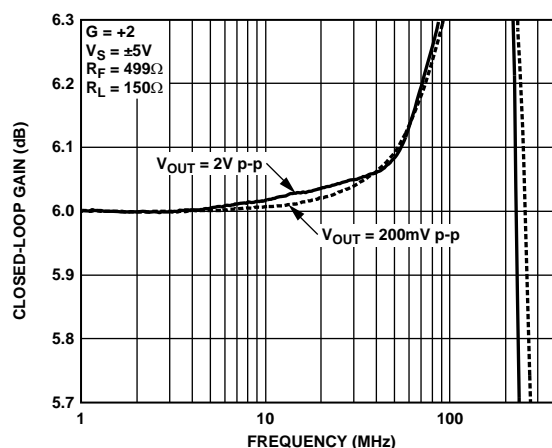


図 12. 各種出力電圧に関する 0.1dB 平坦性の周波数特性

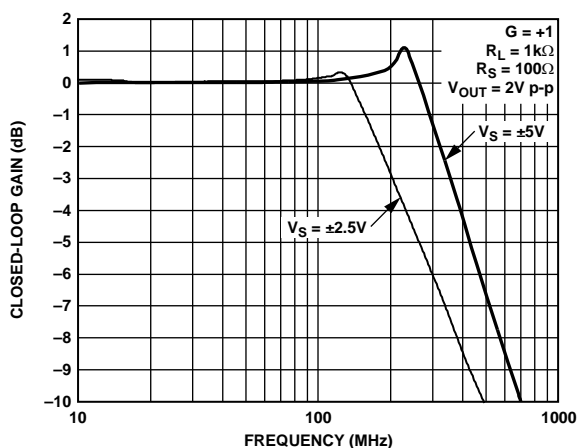


図 13. 各種電源の大信号周波数応答

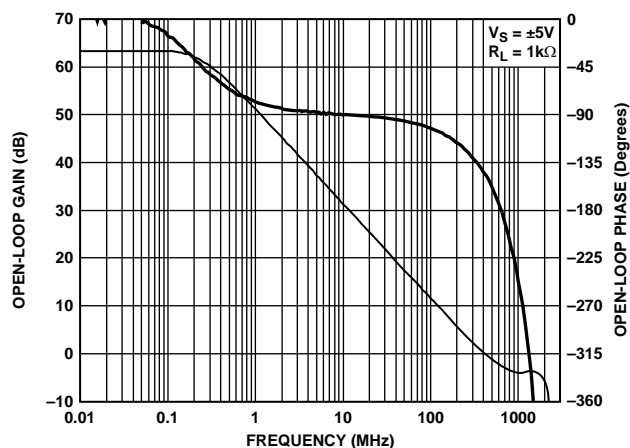


図 16. オープンループ・ゲインと位相の周波数特性

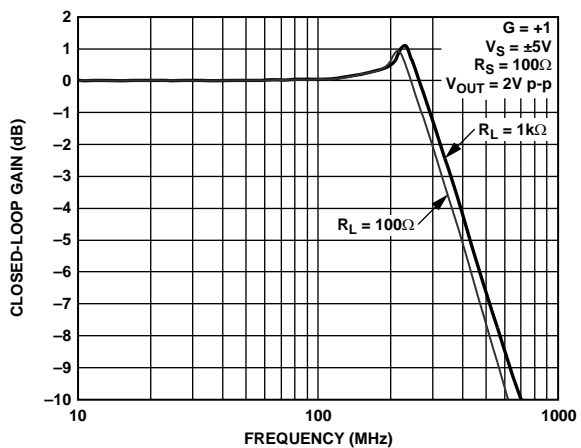


図 14. 各種負荷の大信号周波数応答

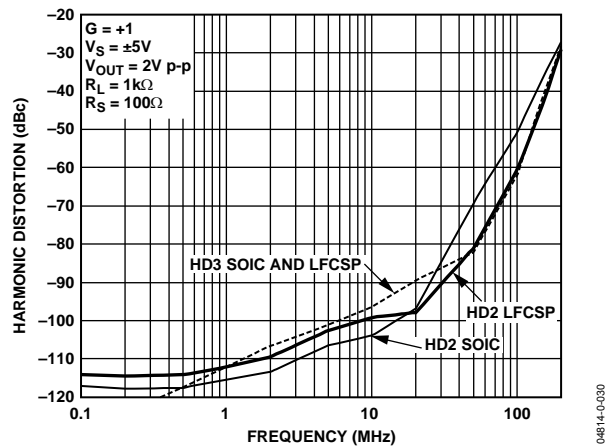


図 17. 各種パッケージに関する高調波歪みの周波数特性

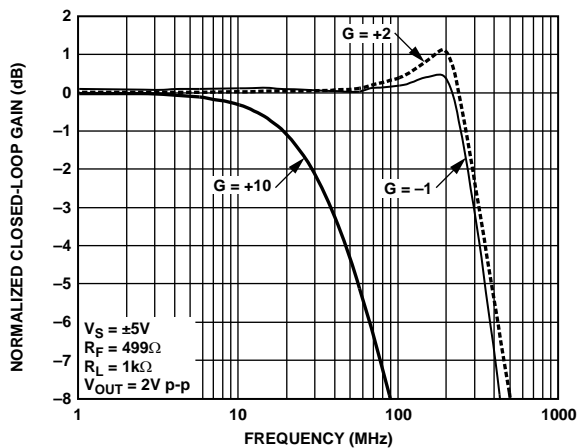


図 15. 各種ゲインの大信号周波数応答

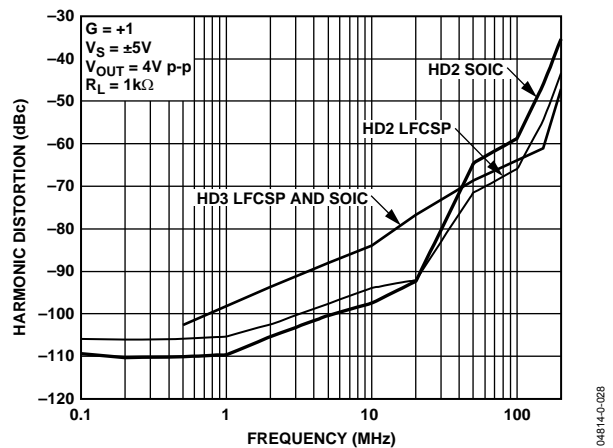
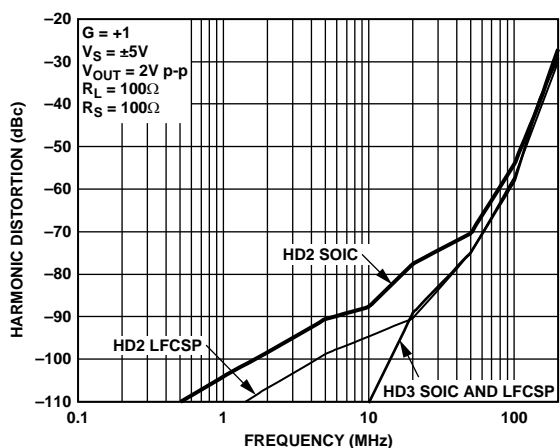
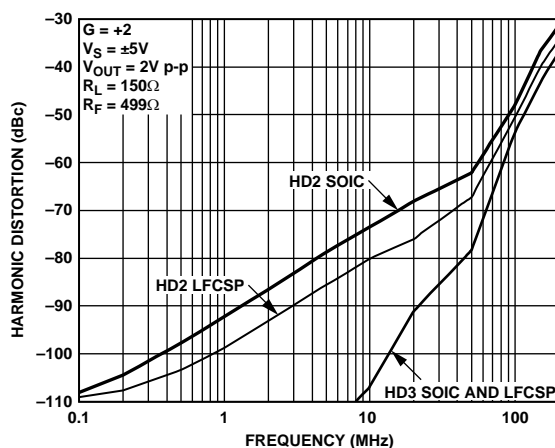


図 18. 各種パッケージに関する高調波歪みの周波数特性



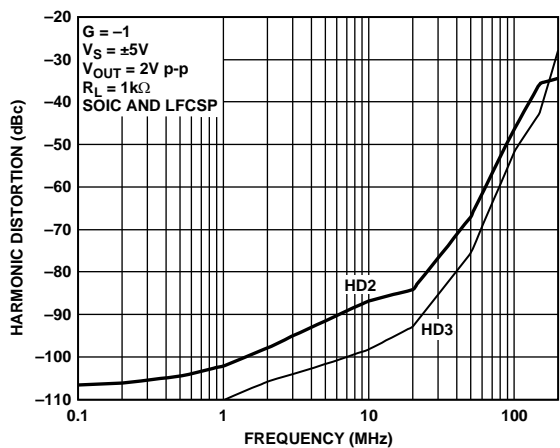
04814-0-032

図 19. 各種パッケージに関する高調波歪みの周波数特性



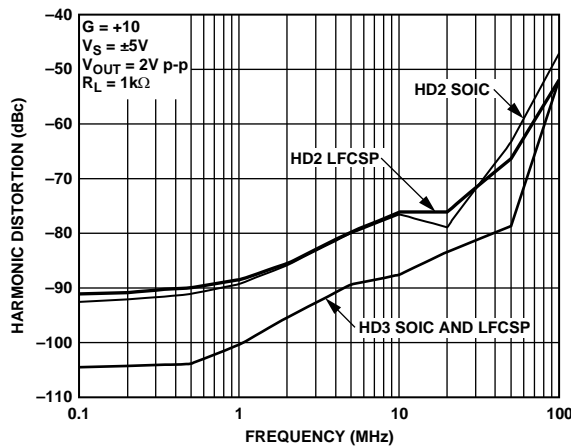
04814-0-033

図 22. 各種パッケージに関する高調波歪みの周波数特性



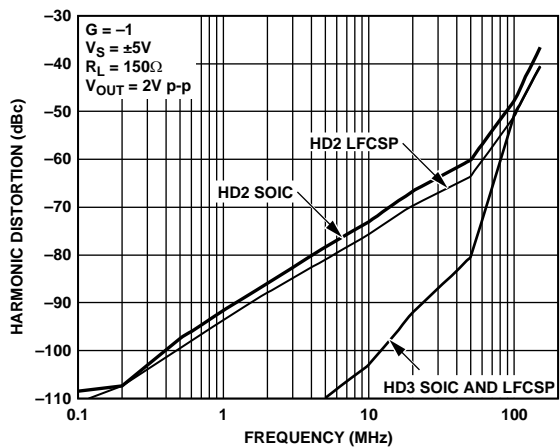
04814-0-036

図 20. 各種パッケージに関する高調波歪みの周波数特性



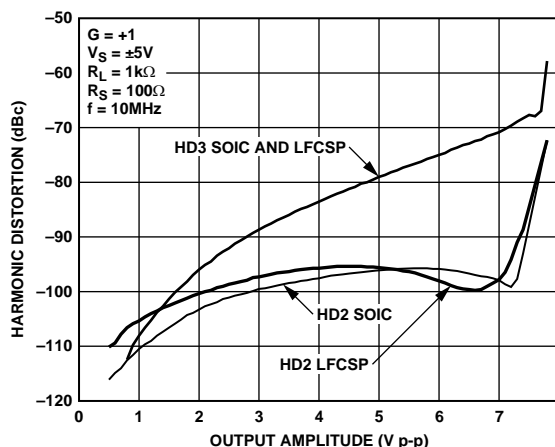
04814-0-034

図 23. 各種パッケージに関する高調波歪みの周波数特性



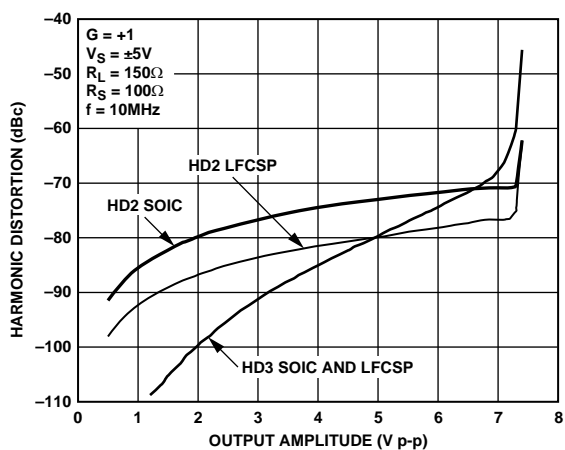
04814-0-037

図 21. 各種パッケージに関する高調波歪みの周波数特性



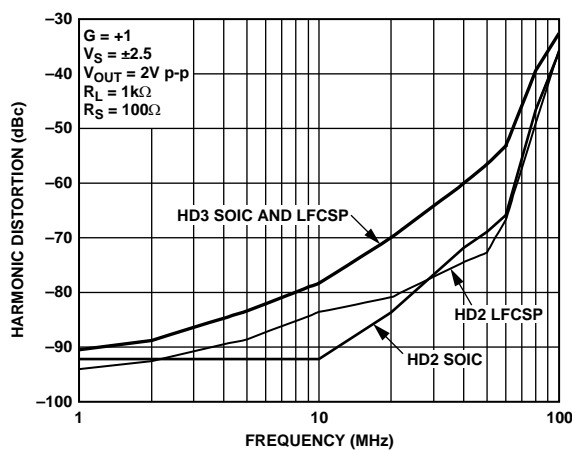
04814-0-025

図 24. 各種パッケージの出力電圧 対 高調波歪み



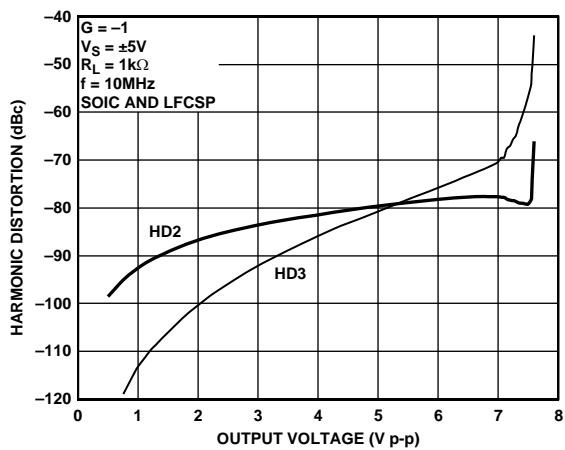
04814-0-024

図 25. 各種パッケージの出力電圧 対 高調波歪み



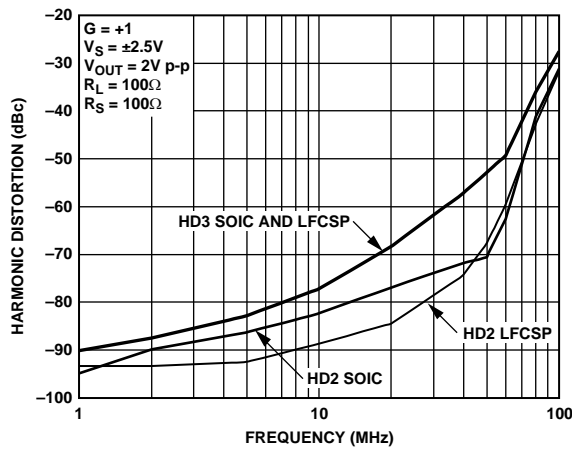
04814-0-029

図 28. 各種パッケージに関する高調波歪みの周波数特性



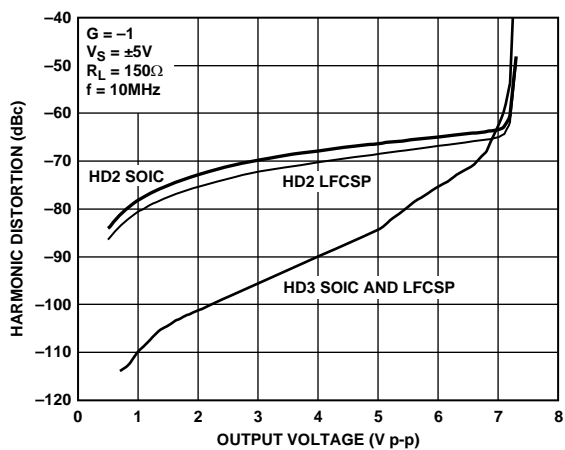
04814-0-026

図 26. 出力電圧 対 高調波歪み



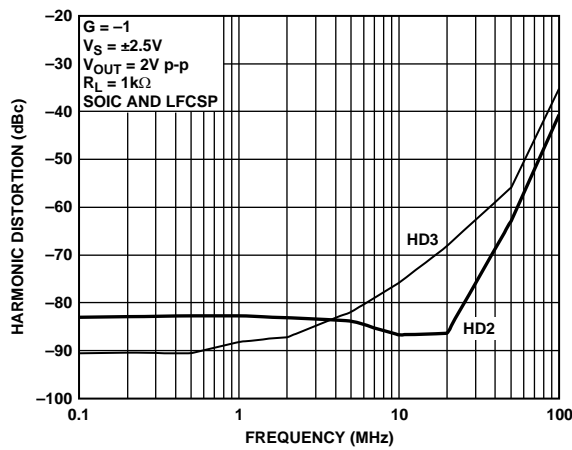
04814-0-031

図 29. 各種パッケージに関する高調波歪みの周波数特性



04814-0-027

図 27. 出力電圧 対 高調波歪み



04814-0-035

図 30. 各種パッケージに関する高調波歪みの周波数特性

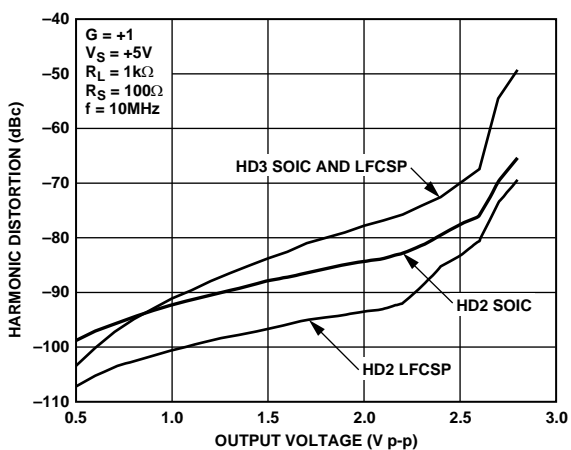


図 31. 各種パッケージの出力電圧 対 高調波歪み

04814-0-022

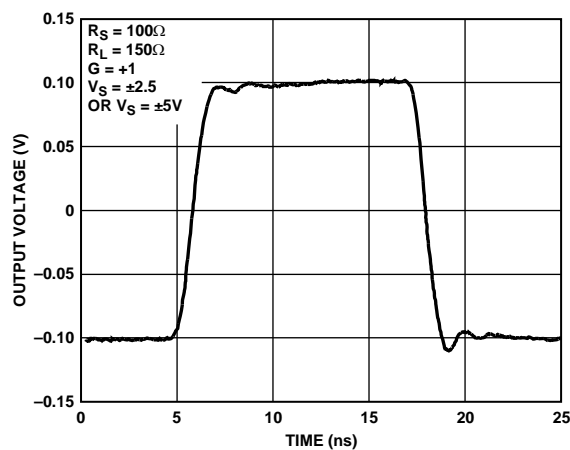


図 34. 各種電源/負荷に関する小信号過渡応答

04814-0-012

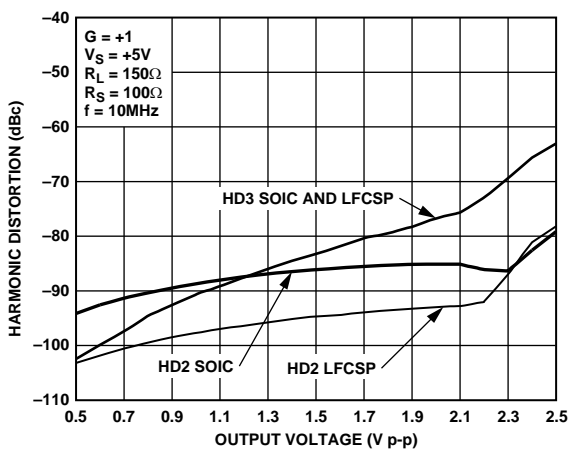


図 32. 各種パッケージの出力電圧 対 高調波歪み

04814-0-023

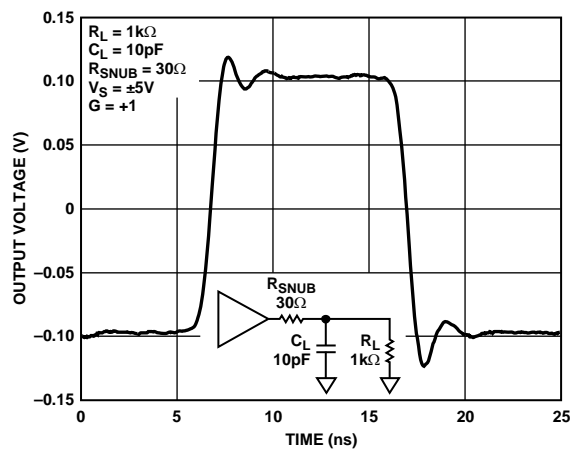


図 35. 各種電源/負荷に関する小信号過渡応答

04814-0-013

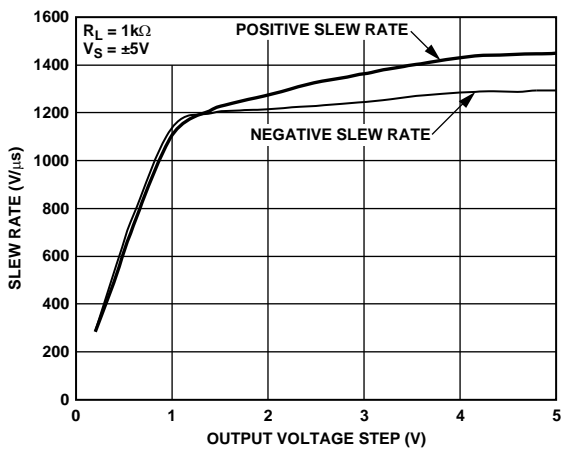


図 33. 出力電圧 対 スルーレート

04814-0-076

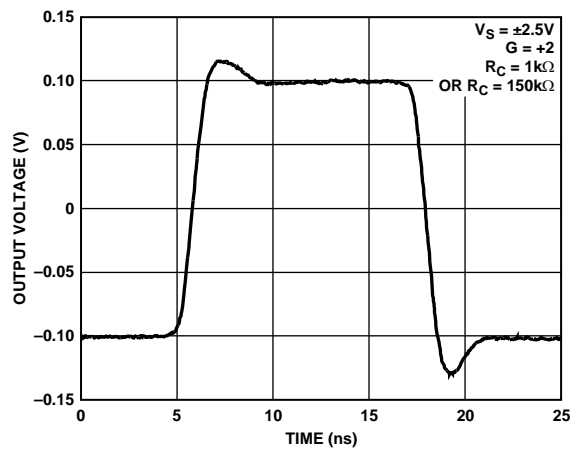


図 36. 各種負荷に関する小信号過渡応答

04814-0-014

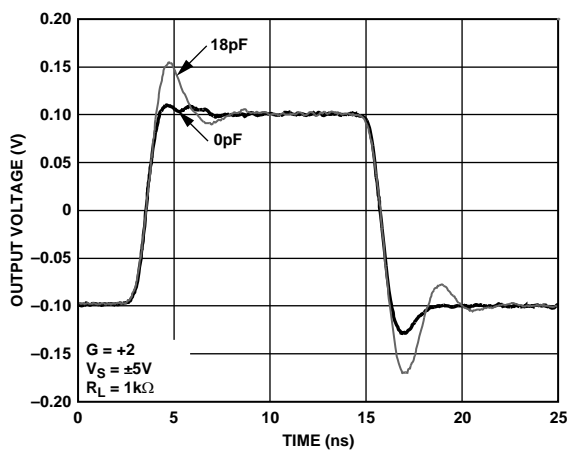


図 37. 容量性負荷があるときの小信号過渡応答

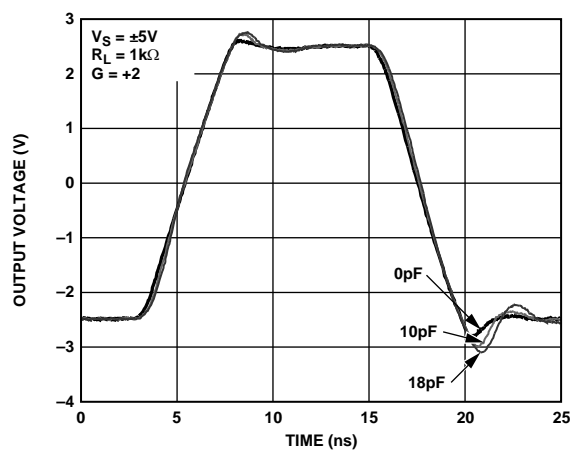


図 40. 容量性負荷があるときの大信号過渡応答

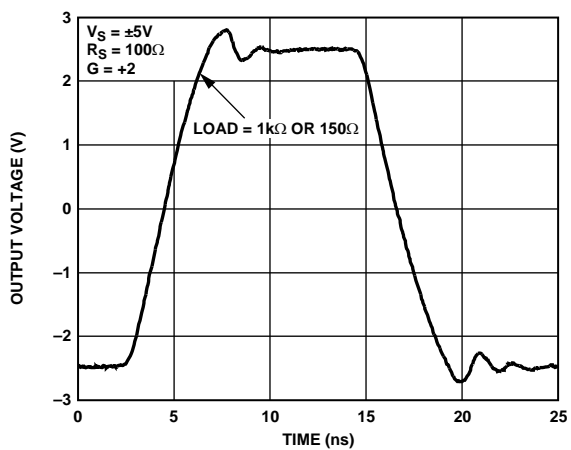


図 38. 各種負荷に関する大信号過渡応答

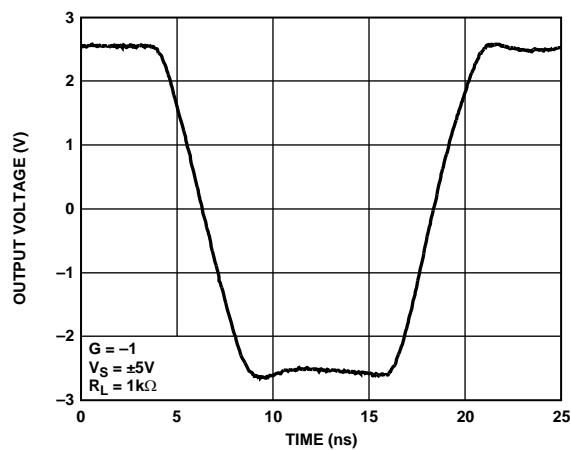


図 41. 大信号過渡応答、反転

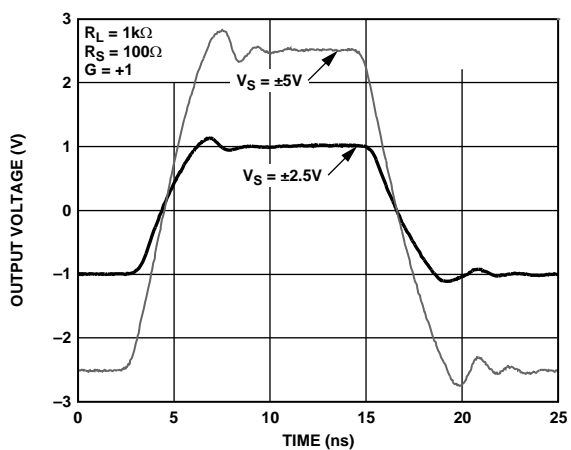


図 39. 各種電源に関する大信号過渡応答

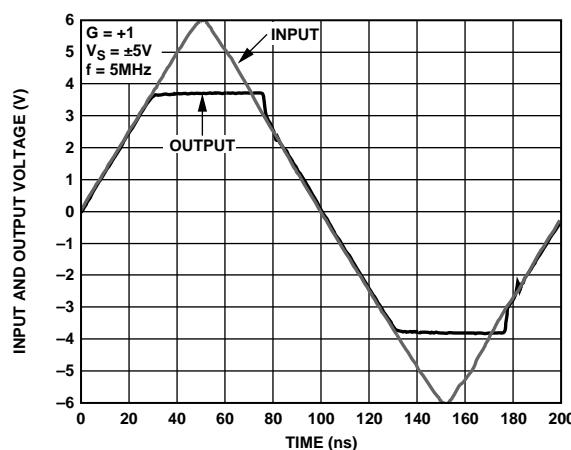
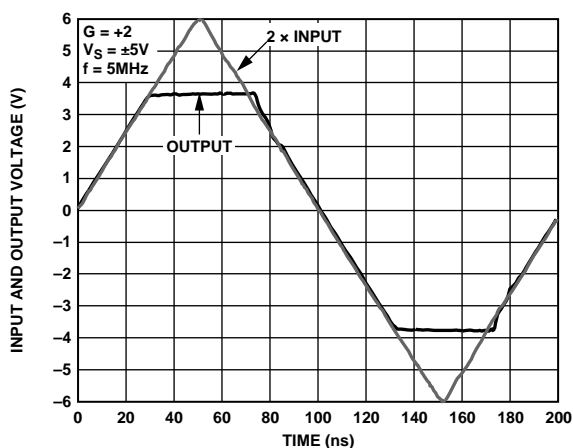
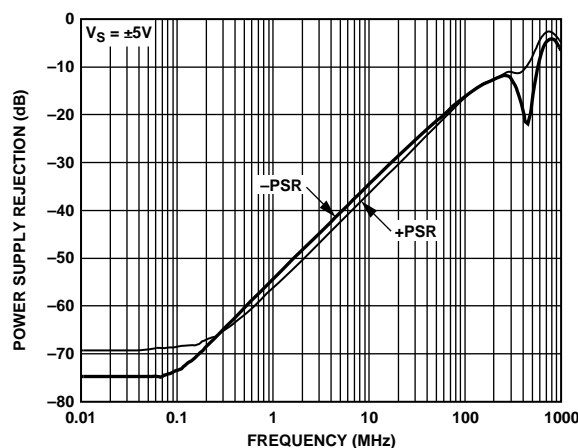


図 42. 入力 オーバードライブ回復



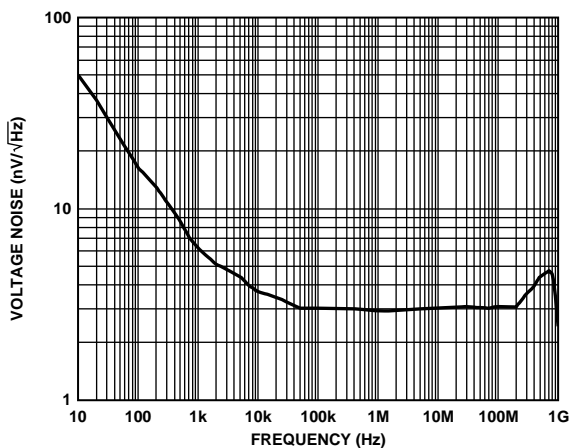
04814-0-062

図 43. 出力 オーバドライブ回復



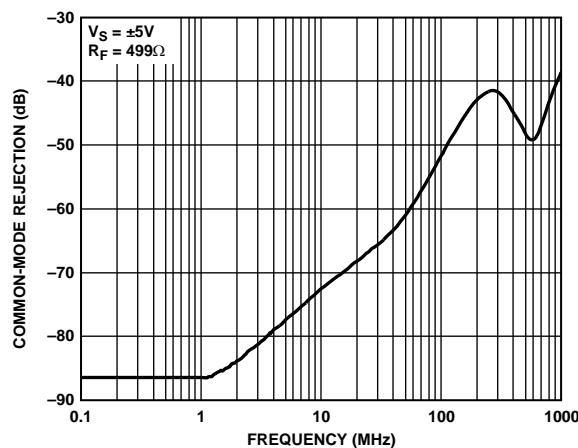
04814-0-045

図 46. 電源電圧変動除去比の周波数特性



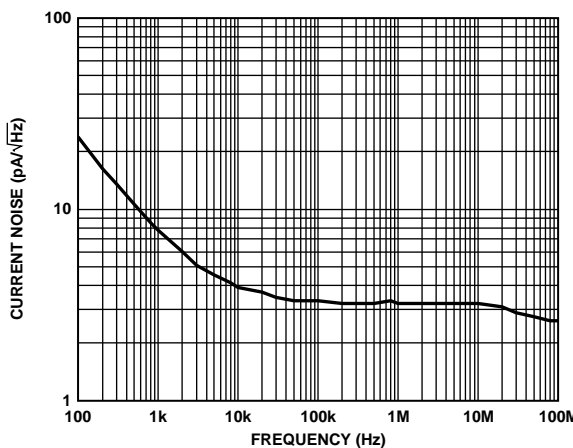
04814-0-053

図 44. 電圧ノイズの周波数特性



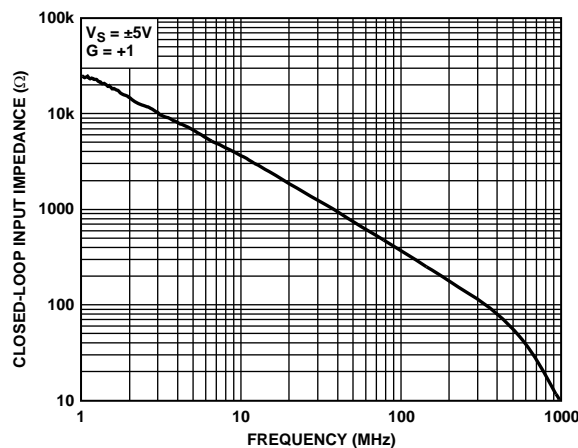
04814-0-020

図 47. 同相ノイズ除去比の周波数特性



04814-0-078

図 45. 電流ノイズの周波数特性



04814-0-054

図 48. 入力インピーダンスの周波数特性

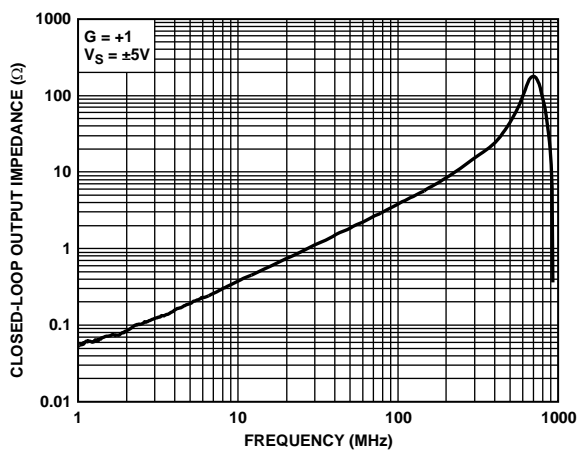


図 49. 出力インピーダンスの周波数特性

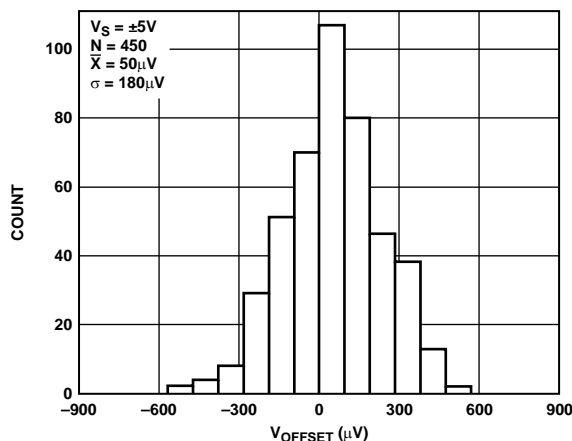


図 52. $V_S = \pm 5V$ の場合の V_{OS} 分布

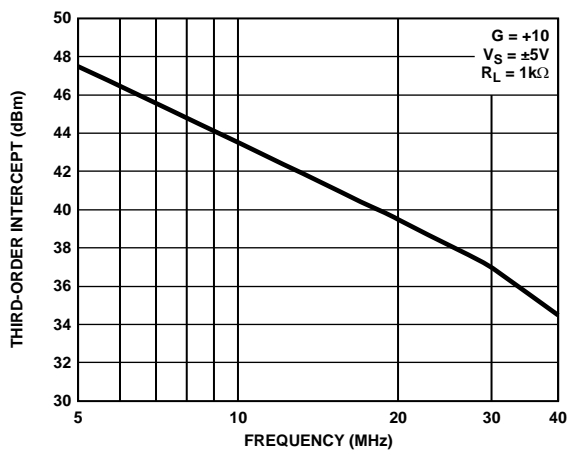


図 50. 3次インターセプトの周波数特性

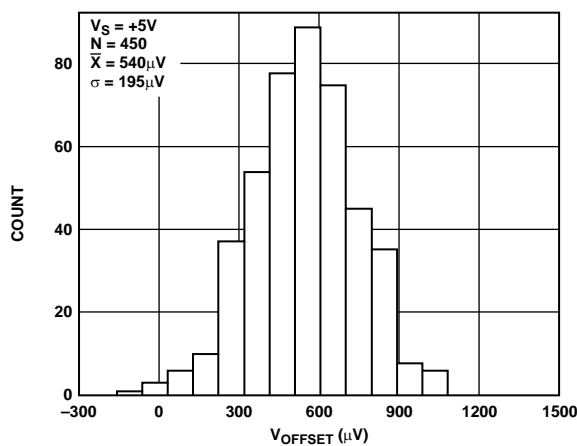


図 53. $V_S = +5V$ の場合の V_{OS} 分布

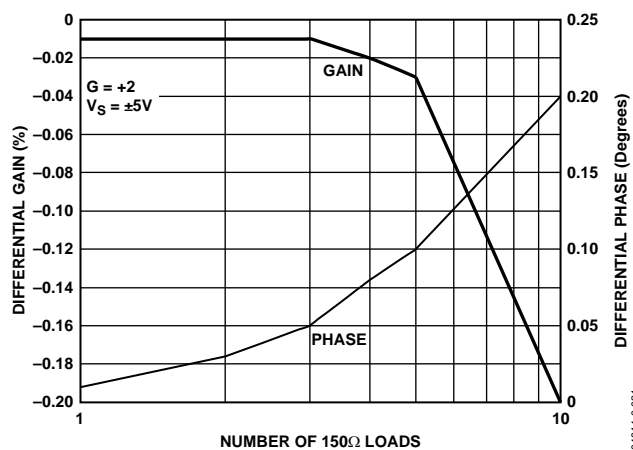


図 51. 150 Ω の負荷の数 対 差動ゲイン/位相

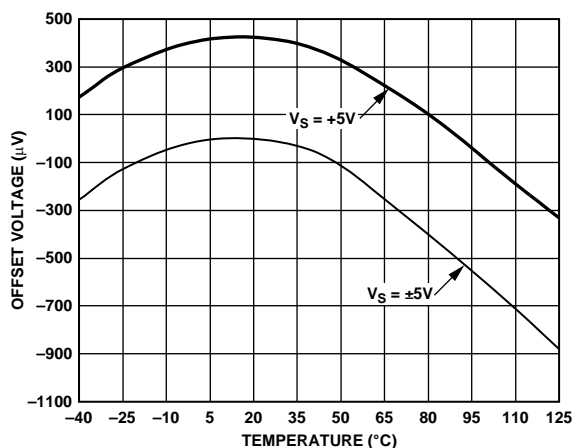
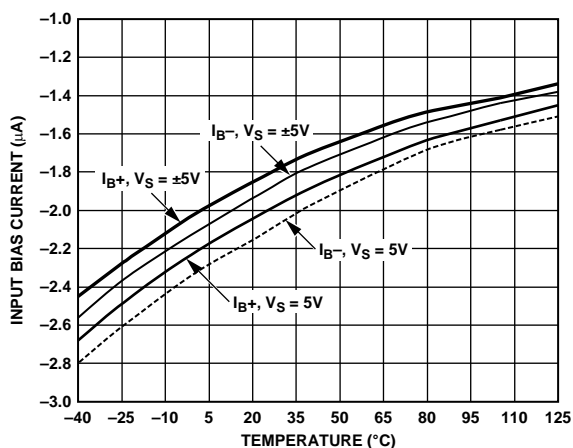
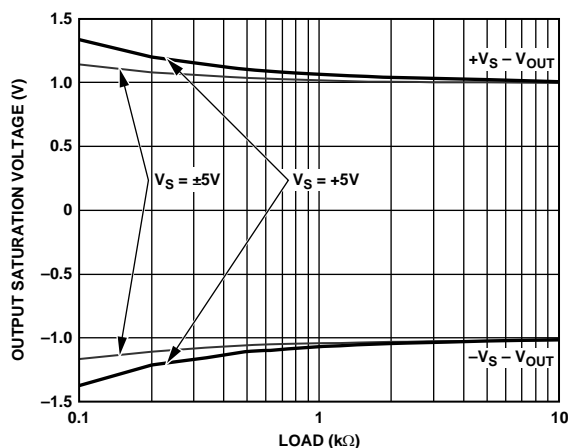


図 54. 各種電源に関するオフセット電圧の温度特性



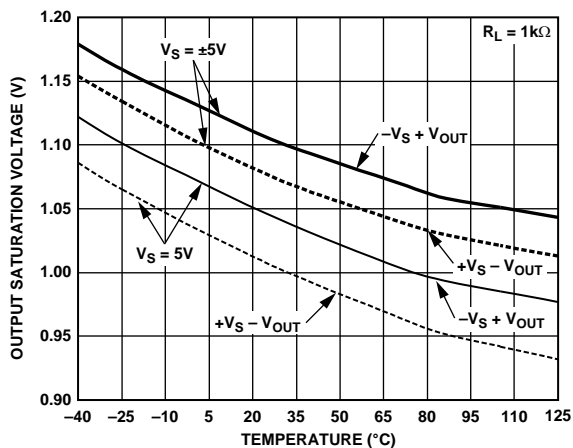
04814-0-059

図 55. 各種電源に関する入力バイアス電流の温度特性



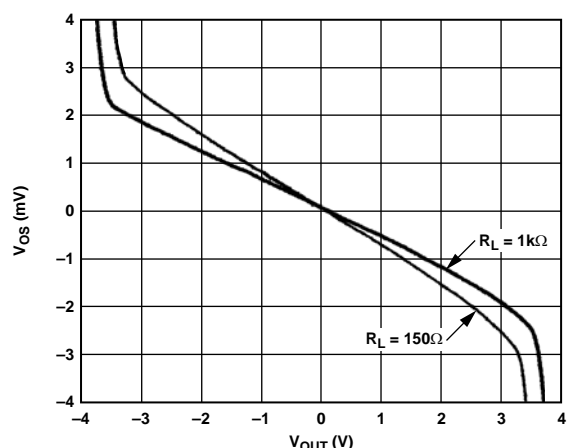
04814-0-044

図 58. 各種電源に関する負荷 対 出力飽和電圧



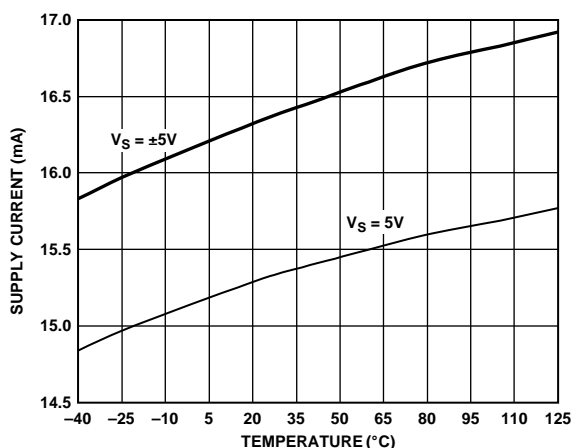
04814-0-057

図 56. 各種電源に関する出力飽和電圧の温度特性



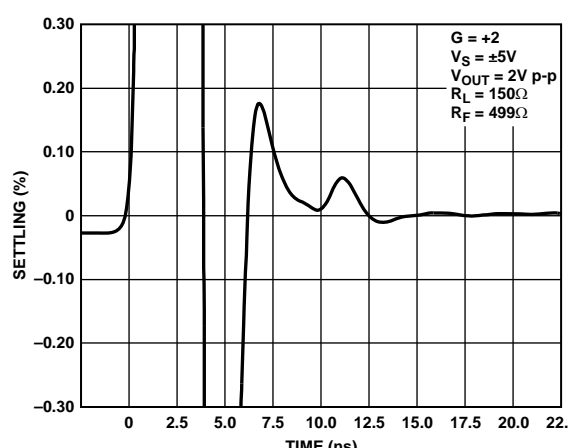
04814-0-047

図 59. 各種負荷に関する出力電圧 対 入力オフセット電圧



04814-0-056

図 57. 各種電源に関する電源電流の温度特性



04814-0-046

図 60. 短期セトリング時間 (0.1%)

回路構成

広帯域動作

図 61と図 62は、非反転アンプと反転アンプの推奨回路構成を示しています。ユニティ・ゲイン ($G=+1$) アプリケーションでは、 R_S で高周波ピーキングを低減できます。これは、ほかの回路構成では必要ありません。レイアウトの詳細は、「PCボードのレイアウト」を参照してください。

アンプ出力の抵抗 R_{SNUB} は、大きな容量性負荷を駆動するときのみ使用します。この R_{SNUB} を使えば、安定性が改善し、出力リングングを最小限に抑えることができます。詳細は、「容量性負荷の駆動」を参照してください。

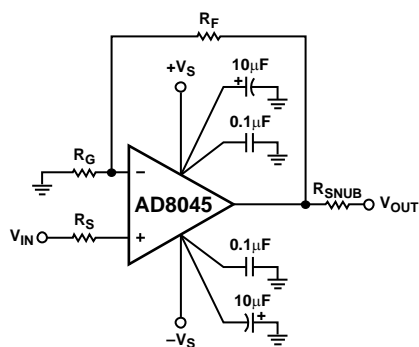


図 61. 非反転構成

04814-0074

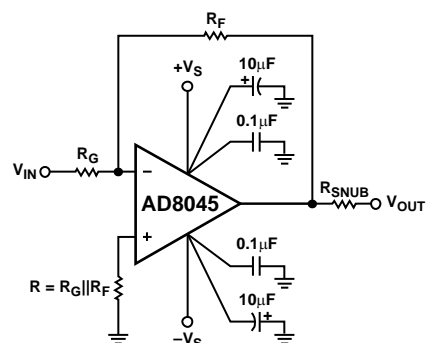


図 62. 反転構成

04814-0075

動作原理

AD8045 は、アナログ・デバイゼズの第二世代 eXtra 高速相補型バイポーラ (XFCB) プロセスによって製造された高速電圧帰還アンプです。H ブリッジ入力段で、3 nV/√Hz という低い入力電圧ノイズのほか、1400 V/μs のスルーレートと低歪みを実現します。電源電流とオフセット電圧には、最適な性能を得るためにレーザートリミングが行われています。

周波数応答

AD8045 のオープンループ周波数応答は、図 63 に示す積分器応答で近似化することができます。

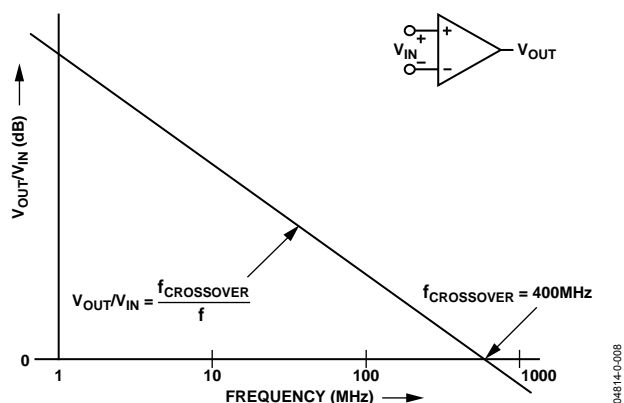


図 63. オープンループ応答

非反転構成のクロードループ伝達関数を図 64 に示します。この関数は次式で表すことができます。

$$\frac{V_{OUT}}{V_{IN}} = \frac{2\pi \times f_{CROSSOVER} \times (R_G + R_F)}{(R_F + R_G)s + 2\pi \times f_{CROSSOVER} \times R_G}$$

ここで、

s は $(2\pi f)$ です。

$f_{CROSSOVER}$ は、アンプのオープンループ・ゲインが 1 (0 dB) になる周波数です。

したがって、DC ゲインは次のようになります。

$$\frac{V_{OUT}}{V_{IN}} = \frac{(R_G + R_F)}{R_G}$$

クロードループ -3 dB 帯域幅は次のようになります。

$$\frac{V_{OUT}}{V_{IN}} = f_{CROSSOVER} \times \frac{R_G}{(R_G + R_F)}$$

クロードループ帯域幅は、オペアンプ回路のノイズ・ゲイン $(R_F + R_G)/R_G$ に反比例します。この単純なモデルを使用して、ノイズ・ゲインが +2 より大きい -3 dB 帯域幅を予測できます。ノイズ・ゲインが +2 以下の回路の実帯域幅は、実際のオペアンプに存在するほかの極の影響を受けるため、このモデルによる計算値より広くなります。

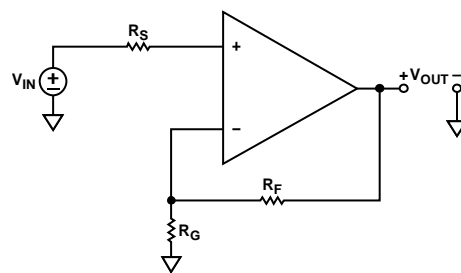


図 64. 非反転構成

DC 誤差

図 65 に DC 誤差を示します。全出力誤差電圧は次のようになります。

$$V_{OUT(EROR)} = -I_{B+} R_S \left(\frac{R_G + R_F}{R_G} \right) + I_{B-} R_F + V_{OS} \left(\frac{R_G + R_F}{R_G} \right)$$

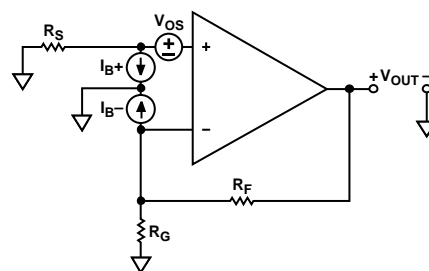


図 65. アンプの DC 誤差

$R_S = R_F || R_G$ の場合、 I_{B+} および I_{B-} に起因する電圧誤差は最小になります。コモンモードの影響と電源電圧変動除去の効果を含めると、 V_{OS} は次式でモデル化できます。

$$V_{OS} = V_{OS_{nom}} + \frac{\Delta V_S}{PSR} + \frac{\Delta V_{CM}}{CMR}$$

ここで、

$V_{OS_{nom}}$ は公称条件でのオフセット電圧です。

ΔV_S は公称条件からの電源電圧の変化です。

PSR は電源電圧変動除去比です。

CMR は同相ノイズ除去比です。

ΔV_{CM} は公称条件からの同相電圧の変化です。

出力ノイズ

図 66は、非反転構成の出力ノイズの要因を示しています。

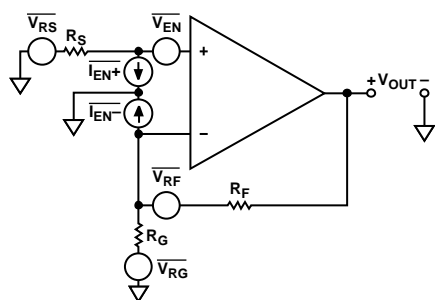


図 66. アンプの DC 誤差

$\overline{V_{en}}$ 、 $\overline{I_{N+}}$ 、 $\overline{I_{N-}}$ はアンプに起因し、 V_{R_F} 、 V_{R_G} 、 V_{R_S} は帰還回路抵抗 R_G と R_F および信号源抵抗 R_S に起因します。全出力電圧ノイズ $\overline{V_{OUT_EN}}$ は、すべての寄与分のRMS値の合計です。

$$\overline{V_{OUT_EN}} = \sqrt{(G_n \times \overline{V_{en}})^2 + (\overline{I_{N+}} \times R_S \times G_n)^2 + (\overline{I_{N-}} \times R_F / R_G \times G_n)^2 + 4kTR_f + 4kTR_G(G_n)^2 + 4kTR_S(G_n)^2}$$

ここで、

G_n はノイズ・ゲイン $\left(\frac{R_F + R_G}{R_G}\right)$ です。

$\overline{V_{en}}$ はオペアンプの入力電圧ノイズです。

$\overline{I_{N}}$ はオペアンプの入力電流ノイズです。

表 7に、数種のゲイン構成について予想される出力電圧ノイズ・スペクトル密度を示します。

表 7. 各種ゲインのノイズと帯域幅

Gain	R_F	R_G	R_S	-3 dB Bandwidth ¹	Output Noise (nV/ $\sqrt{\text{Hz}}$)
+1	0	-	100	1 GHz	3.3
+2	499	499	0	400 MHz	7.4
+5	499	124	0	90 MHz	16.4
+10	499	56	0	40 MHz	31
-1	499	499	N/A	300 MHz	7.4

¹ $R_L = 1 \text{ k}\Omega$

アプリケーション

低歪みのピン配置

AD8045 LFCSP パッケージは、アナログ・デバイスズの新しい低歪みピン配置を採用しています。このピン配置は、従来のものより優れた利点が2つあります。一つは2次高調波歪み性能の向上であり、非反転入力ピンと負電源ピンを物理的に分離することでこれを実現します。もう一つは専用帰還ピンによってレイアウトが簡素化し、ゲイン設定抵抗を反転入力ピンへ戻す配線が容易になることです。コンパクトなレイアウトになるため、寄生を最小限に抑え、安定性を向上させることができます。

従来の SOIC ピン配置はわずかに修正され、専用の帰還ピンが採用されています。これまでアンプの無接続ピンであったピン1が専用帰還ピンになっています。この新しいピン配置によって、寄生が軽減し、ボード・レイアウトが簡素化します。

従来の SOIC ピン配置を使用するアプリケーションでは、AD8045 の傑出した性能を十分に利用することができます。SOIC がグラウンド・プレーンやその他のメタル・パターンの上にある場合は、電気的絶縁が必要になることがあります。この点については、本書の「露出パドル」の中で詳しく説明します。ピン1をグラウンドなどの電位に接続している既存の設計では、AD8045 のピン1を単に浮かせるか、ピン1ハンダ・パッドの電位を削除します。設計者は、AD8045 に帰還を与えるために専用帰還ピンを使う必要はありません。AD8045 の出力ピンを使って AD8045 の反転入力に帰還を与えることができます。

高速ADCドライバ

AD8045 を ADC ドライバとして使用すると、歪み性能の点でトランスに匹敵する結果が得られます。ADC アプリケーションは、多くの場合、アナログ入力信号を DC 結合して広い周波数範囲で動作させる必要があります。このような条件で、オペアンプは ADC に対するきわめて効果的なインターフェースとして機能します。オペアンプのインターフェースは、入力信号を ADC の入力範囲に適合するまで増幅し、レベル・シフトすることができます。トランスとは違って、オペアンプは DC まで (DC を含む) の広い周波数範囲で動作できます。

図 67 は、14 ビットの 65 MSPS ADC、AD9244 に対する DC 結合差動ドライバとして機能する AD8045 を示しています。2 つのアンプは、それぞれ非反転モードと反転モードで構成されています。いずれも、帯域幅のマッチングを高めるために +2 のノイズ・ゲインが設定されています。反転オペアンプはゲイン -1 ですが、非反転オペアンプはゲイン +2 に設定してあります。非反転入力は、出力を正規化して反転出力と等しくするため、1/2 に分圧されています。

この DC 結合差動ドライバは、最適な歪み性能が要求され、入力信号がグラウンド基準となる ± 5 V 動作に最も適しています。

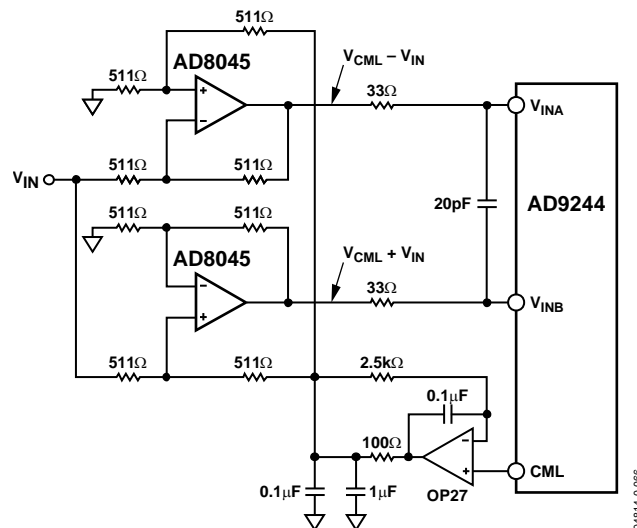


図 67. 高速 ADC ドライバ

AD8045 の出力は、AD9244 の同相電圧範囲 2.5 V が中心となります。AD9244 の同相リファレンス電圧は、OP27 でバッファ処理とフィルタ処理が行われた後、レベル・シフト回路内で使用される非反転抵抗回路に供給されます。

図 68 にスプリアスフリー・ダイナミック・レンジ (SFDR) 性能、図 69 に 50 MHz シングルトーン FFT 性能を示します。

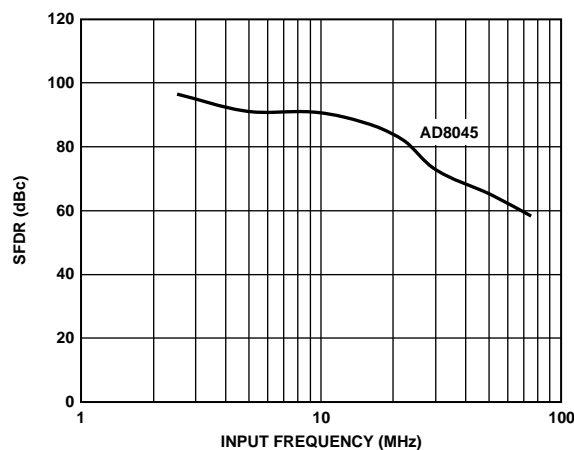


図 68. SFDR の周波数特性

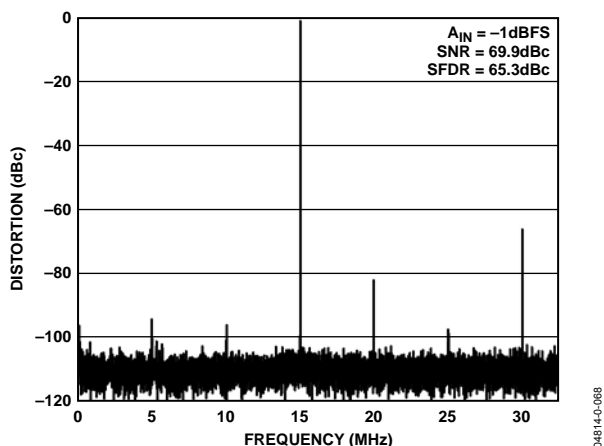


図 69. シングルトーン FFT、 $F_{IN} = 50$ MHz、サンプル・レート = 65 MSPS（最初のナイキスト領域）

90 MHzのアクティブ・ローパスフィルタ（LPF）

アクティブ・フィルタは、アンチエイリアス・フィルタ、高周波通信の IF 信号の抽出など、多くのアプリケーションで使用されています。

AD8045 は 400 MHz のゲイン帯域幅積と高いスルーレートを持つため、アクティブ・フィルタに最適な製品です。図 70 に、90 MHz の LPF の周波数応答を示します。帯域幅条件に加え、スルーレートにおいてもフィルタのフルパワー帯域幅に対応する必要があります。この場合、2 V p-p 出力振幅、90 MHz の帯域幅で、少なくとも 1200 V/ μ s が必要です。AD8045 は広い帯域幅と高いスルーレートを持つため、この性能を 90 MHz でのみ実現することができます。

図 73 に、90 MHz、4 極の Sallen-Key ローパス・フィルタ（LPF）の回路を示します。このフィルタは、固定ゲイン $G = +2$ を持つ 2 個の等しい Sallen-Key LPF 部をカスケード接続したものです。フィルタの正味のゲインは $G = +4$ （12 dB）です。図 70 に示す実際のゲインはわずか 6 dB です。これは、直列のマッチング終端抵抗 R_T と負荷抵抗によって出力電圧が 1/2 になるためです。

2 つの LPF 部で互いに等しい抵抗と容量を設定すれば、Sallen-Key フィルタの設計式が非常に簡単になります。コーナー周波数、すなわち -3 dB の周波数は次式で表すことができます。

$$f_c = \frac{1}{2\pi RC}$$

Q 係数は次のようになります。

$$Q = \frac{1}{3-K}$$

回路のゲイン K は次式で表すことができます。

$$\text{First Stage } K = \frac{R3}{R4} + 1, \text{ Second Stage } K = \frac{R8}{R7} + 1$$

ノイズ寄与とオフセット電圧を最小限に抑えて最適な周波数応答を得るために、抵抗値を小さくします。フィルタ回路で使用する容量値が小さいため、PC ボードのレイアウトと寄生の最小化が重要になります。数ピコファラッドで、フィルタのコーナー周波数 f_c はずれてしまいます。図 73 に示すコンデンサ値にも、実際に PCB の浮遊容量が含まれています。

コンデンサの選択は、最適なフィルタ性能を得るために重要です。NPO セラミック・コンデンサやシルバー・マイカのような低い温度係数のコンデンサが、フィルタ素子として適しています。

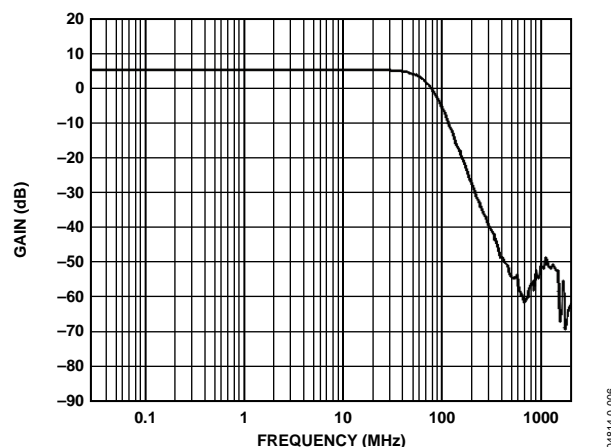
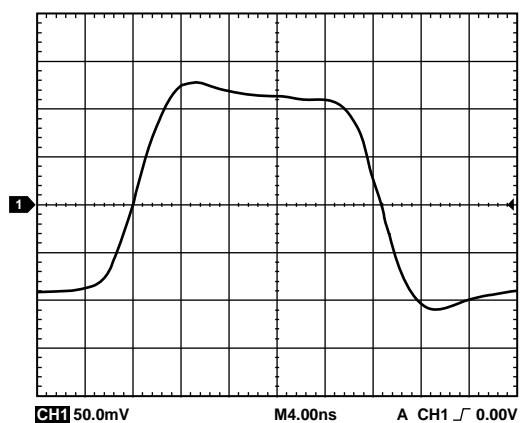
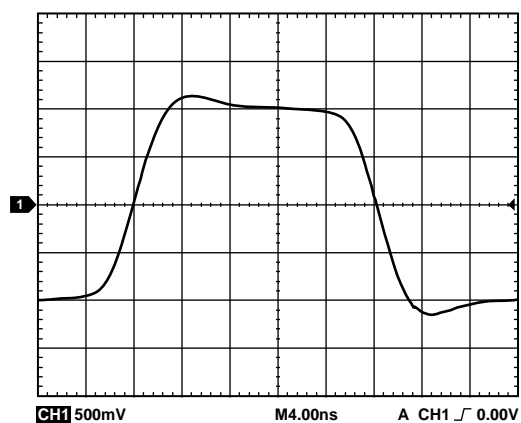


図 70. 90 MHz のローパスフィルタ応答



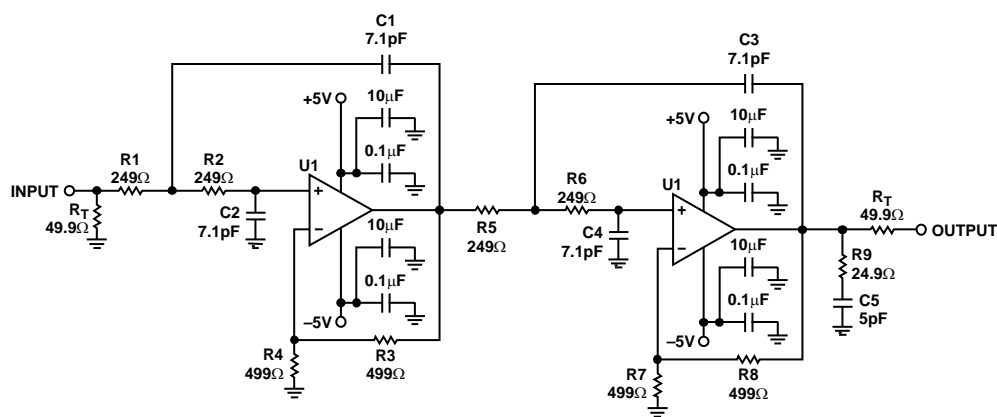
04814-0-069

図 71. 90 MHz LPF の小信号過渡応答



04814-0-070

図 72. 90 MHz LPF の大信号過渡応答



04814-0-005

図 73. 4 極、90 MHz、Sallen-Key ローパスフィルタ

PCボードのレイアウト

PC ボード (PCB) のレイアウトは設計プロセスの最後のステップであり、多くの場合、最も重要なステップの1つとなります。下手なレイアウトをすると、素晴らしい設計も台無しになります。AD8045 は RF 周波数スペクトルまで動作できるため、高周波ボード・レイアウトの留意点に配慮します。最適な性能を得るには、PCB レイアウト、信号ルーティング、電源バイパス、グラウンド接続などをすべて考慮する必要があります。

信号ルーティング

AD8045 LFCSP は、専用帰還ピンを備えた新しい低歪みのピン配置を採用しており、コンパクトなレイアウトを可能にします。専用帰還ピンで出力から反転入力までの距離が短くなるため、帰還回路のルーティングがきわめて容易になります。

AD8045 をユニティ・ゲイン・アンプとしてレイアウトする場合は、専用帰還ピンとアンプから反転入力までの間のパターンを短く太くし、浮遊寄生インダクタンスを最小限に抑えるようにします。

寄生インダクタンスを最小限に抑えるために、グラウンド・プレーンは高周波信号パターンの下に配置してください。ただし、位相マージンを低下させる寄生コンデンサができないように、入力ピンと出力ピンの下ではグラウンド・プレーンを除去してください。ノイズ混入に弱い信号は PCB の奥の層に配線し、シールド効果を最大にする必要があります。

電源のバイパス

電源のバイパスは、PCB 設計プロセスの重要な要素です。最適な性能を得るには、AD8045 の電源ピンを正しくバイパスする必要があります。

各電源ピンからグラウンドへとコンデンサを並列接続するのが最適です。異なる値とサイズのコンデンサを並列接続することによって、広い周波数帯域で電源ピンの AC インピーダンスが小さくなります。これは、アンプへのノイズ混入を最小限に抑えるために大切です。電源ピンから直接開始して、最小の値/サイズの部品をアンプと同一面上のボードに、アンプのできるだけ近くに配置し、グラウンド・プレーンに接続します。この方法を次に大きい値のコンデンサに対しても行います。AD8045 には、0.1 μF のセラミック 0508 ケースを使用することを推奨します。0508 は、低い直列インダクタンスと優れた高周波性能を提供します。この 0.1 μF ケースによって、高周波で低いインピーダンスが得られます。10 μF の電解コンデンサを 0.1 μF と並列に配置してください。この 10 μF のコンデンサは、低周波で低い AC インピーダンスを提供します。回路の条件によって、もっと小さい値の電解コンデンサを使用することができます。小さい値のコンデンサを追加すると、高い周波数までの不要なノイズを排除する低いインピーダンス・パスが得られますが、つねに必要とはかぎりません。

コンデンサがグラウンド・プレーンに接する、コンデンサのリターン (グラウンド) の配置も重要です。アンプ負荷の近くでコンデンサ・グラウンドに戻すことは、歪み性能のために大切です。負荷からコンデンサまでの距離を短く、等距離にすることが、性能のために最適です。

場合によっては、2つの電源間のバイパスを行うことで、PSRR が向上し、密集した複雑なレイアウトで歪み性能を維持できることもあります。設計者が性能を向上させるためのもう 1つの方法として、検討してみてください。

コンデンサからアンプまでのパターンの長さを最小にし、太くすることで、パターン・インダクタンスが低減します。並列容量に直列なインダクタンスでタンク回路を形成すると、出力で高周波のリングングが発生することがあります。この追加インダクタンスも、出力での高周波圧縮により歪みを増加させる原因になります。アンプの電源ピンへのパスでは、できる限りビアを使用しないでください。ビアによって、寄生インダクタンスが発生し、不安定性が生じるためです。必要な場合は、径の大きいビアを複数使用してください。これによって、等価寄生インダクタンスを小さくすることができます。

グラウンディング

電源電流と信号電流に対して低インピーダンスのリターンを提供する方法として、グラウンド・プレーンと電源プレーンの使用を推奨します。グラウンド・プレーンと電源プレーンは、パターンの浮遊インダクタンスを小さくし、アンプに対する熱抵抗が低いパスも得られます。AD8045 のピンの下では、グラウンド・プレーンも電源プレーンも使用しないでください。パッドとグラウンド・プレーンまたは電源プレーンは、アンプ入力で寄生容量を形成します。反転入力の浮遊容量と帰還抵抗が極を形成し、これによって位相マージンが小さくなり、不安定性の原因になります。出力に過剰な浮遊容量が存在する場合も極が形成され、位相マージンが低下します。

露出パドル

AD8045 には露出パドルがあり、標準のSOICプラスチック・パッケージに比べて熱抵抗を 25%小さくします。AD8045 の露出パドルは内部で負電源ピンに接続されているため、ボードのレイアウトでは、露出パドルを負電源に接続するか、フローティング（電気的に絶縁した状態）のままにしておきます。露出パドルを負電源の金属部分にハンダ付けすれば、最大の熱伝達が得られます。図 74 と図 75 に、SOIC と LFCSP の露出パドルと負電源を接続するための正しいレイアウトを示します。

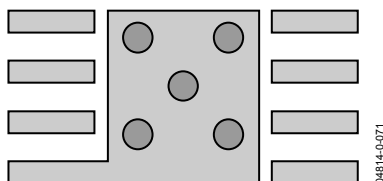


図 74. SOIC 露出パドルのレイアウト

サーマル・ビアまたは「ヒート・パイプ」を露出パドルのパッドの設計に採用することもできます。これらのビアを追加することで、熱抵抗値 (θ_{JA}) 全体を下げるのに役立ちます。表面に厚い銅を使用して、アンプの露出パドルをそれにハンダ付けすると、AD8045 の全体の熱抵抗を大幅に小さくすることができます。

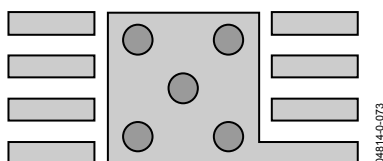


図 75. LFCSP 露出パドルのレイアウト

既存の設計で AD8045 を使用したい場合は、露出パドルを電気的に絶縁するという方法もあります。露出パドルを電気的に絶縁すると、主にピンから放熱が行われ、パッケージの熱抵抗は標準の SOIC の θ_{JA} である $125^{\circ}\text{C}/\text{W}$ に近づきます。電気的に絶縁した熱伝導性のパッド材を使用することも可能です。Bergquist 社の Sil-Pad（シルパッド）などの熱伝導性スペーサは、この問題を解決する優れた方法になります。図 76 に、熱パッド材を用いた代表的な実装例を示します。

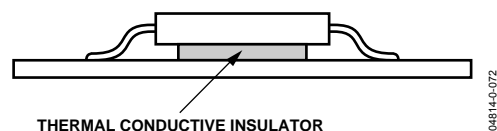


図 76. 熱伝導パッドを使用した SOIC

熱パッドには高い熱伝導性がありますが、露出パドルをグラウンドなどの電位から絶縁分離します。可能であれば、最大の熱伝達を実現するためにパドルを負電源プレーン/パターンにハンダ付けすることを推奨します。

ただし、パドルをグラウンドにハンダ付けすると、負電源がグラウンドに短絡して、AD8045 に修復不能な損傷を与える可能性がありますので、注意してください。

容量性負荷の駆動

一般に、高速アンプは容量性負荷の駆動が苦手です。位相マージンが最小になる低いクロズドループ・ゲインの場合は、特にこれが当てはまります。この問題は、負荷容量 C_L とアンプの出力抵抗 R_O により、極が形成されるために生じます。この極は、次式で表すことができます。

$$f_P = \frac{1}{2\pi R_O C_L}$$

この極がユニティ・ゲイン交差点に近づきすぎると、位相マージンが低下します。これは、極に付随する位相損失が増えるためです。

AD8045 の出力は、+2 のゲインと 30%オーバーシュートで 18 pF の容量性負荷を直接駆動できます（図 37 参照）。もっと大きい容量値も駆動できますが、アンプ出力に抑制抵抗 (R_{SNUB}) を使用する必要があります（図 61、図 62 参照）。小さい直列抵抗 R_{SNUB} を使用すると、負荷容量により発生する極を相殺するゼロ点を形成することができます。 R_{SNUB} の代表値は $25 \sim 50 \Omega$ の範囲が可能です。この値は一般に経験的に得られるもので、回路の条件に依存します。

外形寸法

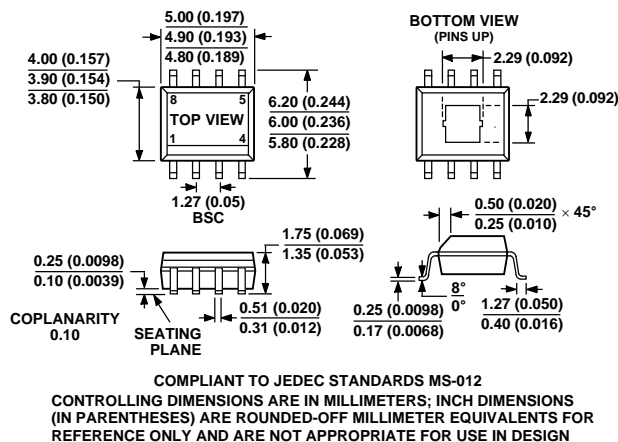


図 77. 8 ピン標準スモール・アウトライン・パッケージ、露出パッド付き [SOIC_N_EP]、ナロー・ボディ (RD-8-1)
寸法単位：mm (インチ)

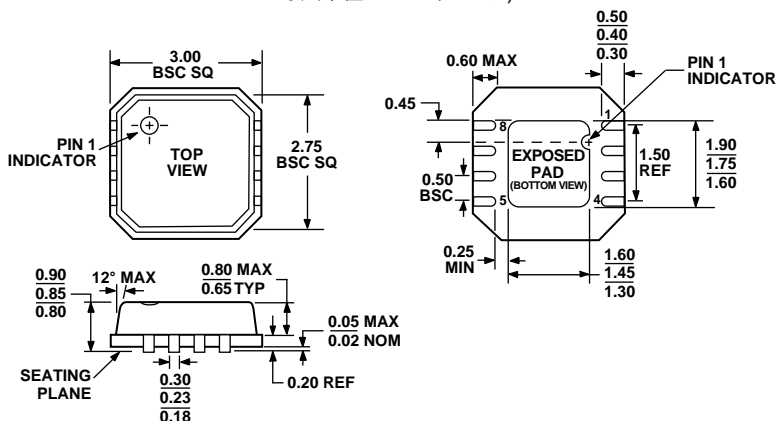


図 78. 8 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]、3 mm × 3 mm ボディ (CP-8-2)
寸法単位：mm (インチ)

オーダー・ガイド

Model	Minimum Ordering Quantity	Temperature Range	Package Description	Package Option	Branding
AD8045ARD	1	-40°C to +125°C	8-Lead SOIC_N_EP	RD-8-1	
AD8045ARD-REEL	2,500	-40°C to +125°C	8-Lead SOIC_N_EP	RD-8-1	
AD8045ARD-REEL7	1,000	-40°C to +125°C	8-Lead SOIC_N_EP	RD-8-1	
AD8045ARDZ ¹	1	-40°C to +125°C	8-Lead SOIC_N_EP	RD-8-1	
AD8045ARDZ-REEL ¹	2,500	-40°C to +125°C	8-Lead SOIC_N_EP	RD-8-1	
AD8045ARDZ-REEL7 ¹	1,000	-40°C to +125°C	8-Lead SOIC_N_EP	RD-8-1	
AD8045ACP-R2	250	-40°C to +125°C	8-Lead LFCSP	CP-8-2	H8B
AD8045ACP-REEL	5,000	-40°C to +125°C	8-Lead LFCSP	CP-8-2	H8B
AD8045ACP-REEL7	1,500	-40°C to +125°C	8-Lead LFCSP	CP-8-2	H8B
AD8045ACPZ-R2 ¹	250	-40°C to +125°C	8-Lead LFCSP	CP-8-2	H8B
AD8045ACPZ-REEL ¹	5,000	-40°C to +125°C	8-Lead LFCSP	CP-8-2	H8B
AD8045ACPZ-REEL7 ¹	1,500	-40°C to +125°C	8-Lead LFCSP	CP-8-2	H8B

¹ Z = 鉛フリー製品。