

特長

優れた性能

広いユニティ・ゲイン帯域幅: 50 MHz

低電源電流: 5.3 mA

高いスルーレート: 300 V/ μ s

優れたビデオ仕様

微分ゲイン: 0.04% (NTSC および PAL)

微分位相: 0.19° (NTSC および PAL)

優れた DC 性能

高いオープン・ループ・ゲイン: 5.5 V/mV ($R_{LOAD} = 1\text{ k}\Omega$)

低い入力オフセット電圧: 0.5 mV

$\pm 5\text{ V}$ および $\pm 15\text{ V}$ の動作仕様

多様なオプションを提供

プラスチック DIP および SOIC パッケージ

CERDIP パッケージ

チップで提供

MIL-STD-883B 準拠

テープ&リール (EIA-481A 標準) で提供

2 種類のバージョンを提供: AD827 (8 ピン)

LM6361 の機能強化置換品

HA2544、HA2520/2/5、EL2020 の置換品

アプリケーション

ビデオ機器

画像装置

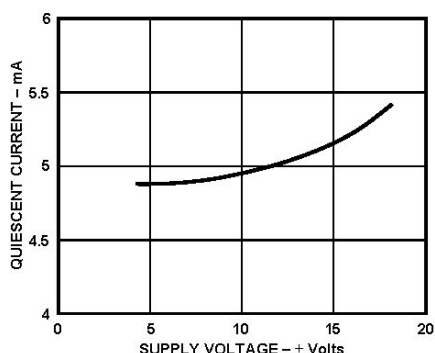
コピー機、ファックス、スキャナ、カメラ

高速ケーブル・ドライバ

高速 DAC とフラッシュ ADC のバッファ

製品説明

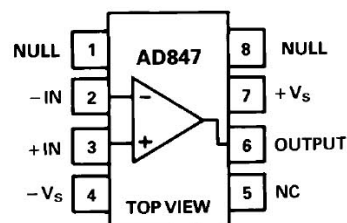
AD847 は高速アンプのブレイクスルーであり、優れた AC 性能と DC 性能および低消費電力を低価格で提供します。



電源電圧対静止電流

接続図

プラスチック DIP (N)、
スモール・アウトライン (R)、
CERDIP (Q) の各パッケージ

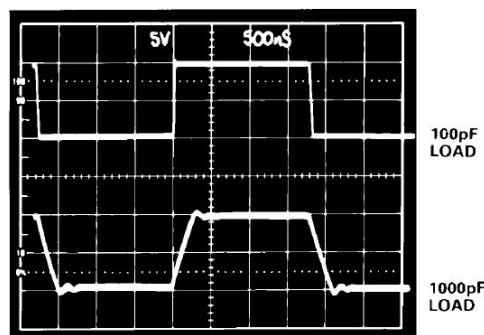


NC = NO CONNECT

3500 V/V (500 Ω 負荷) のオープン・ループ・ゲインや 0.5 mV の低い入力オフセット電圧などの $\pm 5\text{ V}$ 仕様は、優れた DC 性能を明確に示しています。同相モード除去比は最小 78 dB です。出力電圧振幅は 150 Ω の大きな負荷で $\pm 3\text{ V}$ です。アナログ・デバイセスは、他にも低ノイズの AD829 (1.7 nV/ $\sqrt{\text{Hz}}$) から究極のビデオ・アンプ AD811 (0.01% の微分ゲインと 0.01° の微分位相) に至るまでの 30 種類を超える高速アンプを提供しています。

アプリケーションのハイライト

- AD847 はバッファとして 12.7 MHz ($\pm 5\text{ V}$ 電源で 5 V p-p) のフルパワー帯域幅を提供するため、フラッシュ A/D コンバータの入力バッファに優れています。
- AD847 は低消費電力で、かつスモール・アウトライン・パッケージを採用しているため、複数極のアクティブ・フィルタのような高実装密度アプリケーションに適しています。
- AD847 は内部でユニティ・ゲイン動作の補償を行っているため、任意の容量負荷の駆動に対して安定しています。



AD847 による容量負荷の駆動

アナログ・デバイセス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. F

AD847-仕様 (特に指定がない限り、 $T_A = +25^\circ\text{C}$)

Model	Conditions	V_S	AD847J			AD847AR			Units
			Min	Typ	Max	Min,	Typ	Max	
INPUT OFFSET VOLTAGE ¹		$\pm 5\text{ V}$		0.5	1		0.5	1	mV
Offset Drift	T_{MIN} to T_{MAX}			15			15	4	mV/ $^\circ\text{C}$
INPUT BIAS CURRENT		$\pm 5\text{ V}, \pm 15\text{ V}$		3.3	6.6		3.3	6.6	μA
	T_{MIN} to T_{MAX}				7.2			10	μA
INPUT OFFSET CURRENT		$\pm 5\text{ V}, \pm 15\text{ V}$		50	300		50	300	nA
Offset Current Drift	T_{MIN} to T_{MAX}			0.3	400		0.3	500	nA/ $^\circ\text{C}$
OPEN-LOOP GAIN	$V_{\text{OUT}} = \pm 2.5\text{ V}$ $R_{\text{LOAD}} = 500\ \Omega$ T_{MIN} to T_{MAX} $R_{\text{LOAD}} = 150\ \Omega$ $V_{\text{OUT}} = \pm 10\text{ V}$ $R_{\text{LOAD}} = 1\text{ k}\Omega$ T_{MIN} to T_{MAX}	$\pm 5\text{ V}$	2 1	3.5		2 1	3.5		V/mV V/mV V/mV
		$\pm 15\text{ V}$	3 1.5	5.5		3 1.5	5.5		V/mV V/mV
DYNAMIC PERFORMANCE									
Unity Gain Bandwidth		$\pm 5\text{ V}$ $\pm 15\text{ V}$		35 50			35 50		MHz MHz
Full Power Bandwidth ²	$V_{\text{OUT}} = 5\text{ V p-p}$ $R_{\text{LOAD}} = 500\ \Omega$	$\pm 5\text{ V}$		12.7			12.7		MHz
Slew Rate ³	$V_{\text{OUT}} = 20\text{ V p-p}$ $R_{\text{LOAD}} = 1\text{ k}\Omega$	$\pm 15\text{ V}$ $\pm 5\text{ V}$ $\pm 15\text{ V}$		4.7 200 300			4.7 200 300		MHz V/ μs V/ μs
Settling Time to 0.1%, $R_{\text{LOAD}} = 250\ \Omega$	-2.5 V to $+2.5\text{ V}$ 10 V Step, $\text{AV} = -1$	$\pm 5\text{ V}$ $\pm 15\text{ V}$		65 65			65 65		ns ns
to 0.01%, $R_{\text{LOAD}} = 250\ \Omega$	-2.5 V to $+2.5\text{ V}$ 10 V Step, $\text{AV} = -1$	$\pm 5\text{ V}$ $\pm 15\text{ V}$		140 120			140 120		ns ns
Phase Margin	$\text{CLOAD} = 10\text{ pF}$ $R_{\text{LOAD}} = 1\text{ k}\Omega$	$\pm 15\text{ V}$		50			50		Degree
Differential Gain	$f \approx 4.4\text{ MHz}$, $R_{\text{LOAD}} = 1\text{ k}\Omega$	$\pm 15\text{ V}$		0.04			0.04		%
Differential Phase	$f \approx 4.4\text{ MHz}$, $R_{\text{LOAD}} = 1\text{ k}\Omega$	$\pm 15\text{ V}$		0.19			0.19		Degree
COMMON-MODE REJECTION	$V_{\text{CM}} = \pm 2.5\text{ V}$ $V_{\text{CM}} = \pm 12\text{ V}$ T_{MIN} to T_{MAX}	$\pm 5\text{ V}$ $\pm 15\text{ V}$	78 78 75	95 95		78 78 75	95 95		dB dB dB
POWER SUPPLY REJECTION	$V_S = \pm 5\text{ V}$ to $\pm 15\text{ V}$ T_{MIN} to T_{MAX}		75 72	86		75 72	86		dB dB
INPUT VOLTAGE NOISE	$f = 10\text{ kHz}$	$\pm 15\text{ V}$		15			15		nV/ $\sqrt{\text{Hz}}$
INPUT CURRENT NOISE	$f = 10\text{ kHz}$	$\pm 15\text{ V}$		1.5			1.5		pA/ $\sqrt{\text{Hz}}$
INPUT COMMON-MODE VOLTAGE RANGE		$\pm 5\text{ V}$ $\pm 15\text{ V}$		+4.3 -3.4 +14.3 -13.4			+4.3 -3.4 +14.3 -13.4		V V V V
OUTPUT VOLTAGE SWING	$R_{\text{LOAD}} = 500\ \Omega$ $R_{\text{LOAD}} = 150\ \Omega$ $R_{\text{LOAD}} = 1\text{ k}\Omega$ $R_{\text{LOAD}} = 500\ \Omega$	$\pm 5\text{ V}$ $\pm 5\text{ V}$ $\pm 15\text{ V}$ $\pm 15\text{ V}$ $\pm 15\text{ V}$	3.0 2.5 12 10	3.6 3		3.0 2.5 12 10	3.6 3		$\pm\text{ V}$ $\pm\text{ V}$ $\pm\text{ V}$ $\pm\text{ V}$
Short-Circuit Current		$\pm 15\text{ V}$		32			32		mA
INPUT RESISTANCE				300			300		k Ω
INPUT CAPACITANCE				1.5			1.5		pF
OUTPUT RESISTANCE	Open Loop			15			15		Ω
POWER SUPPLY									
Operating Range			± 4.5		± 18	± 4.5		± 18	V
Quiescent Current	T_{MIN} to T_{MAX}	$\pm 5\text{ V}$		4.8	6.0		4.8	6.0	mA mA
	T_{MIN} to T_{MAX}	$\pm 15\text{ V}$		5.3	6.3		5.3	6.3	mA mA

注

¹入力オフセット電圧仕様は、 $T_A = +25^\circ\text{C}$ で5分後に対して保証。²フルパワー帯域幅=スルーレート/ $2\pi V_{\text{PEAK}}$ 。³スルーレートは立ち上がりエッジで測定。

すべての min/max 仕様を保証。太字で示す仕様は、最終電気テストで100%テストされます。

仕様は予告なく変更されることがあります。

Model	Conditions	V _S	AD847AQ			AD847S			Units
			Min	Typ	Max	Min	Typ	Max	
INPUT OFFSET VOLTAGE ¹		± 5 V		0.5	1		0.5	1	mV
Offset Drift	T _{MIN} to T _{MAX}			15	4		15	4	mV μV/°C
INPUT BIAS CURRENT		± 5 V, ± 15 V		3.3	5		3.3	5	μA
	T _{MIN} to T _{MAX}				7.5			7.5	μA
INPUT OFFSET CURRENT		± 5 V, ± 15 V		50	300		50	300	nA
Offset Current Drift	T _{MIN} to T _{MAX}			0.3	400		0.3	400	nA nA/°C
OPEN-LOOP GAIN	V _{OUT} = ± 2.5 V R _{LOAD} = 500 Ω T _{MIN} to T _{MAX}	± 5 V	2	3.5		2	3.5		V/mV V/mV
	R _{LOAD} = 150 Ω V _{OUT} = ± 10 V R _{LOAD} = 1 kΩ T _{MIN} to T _{MAX}	± 15 V	1	1.6		1	1.6		V/mV
			3	5.5		3	5.5		V/mV V/mV
			1.5			1.5			
DYNAMIC PERFORMANCE									
Unity Gain Bandwidth		± 5 V ± 15 V		35 50			35 50		MHz MHz
Full Power Bandwidth ²	V _{OUT} = 5 V p-p R _{LOAD} = 500 Ω, V _{OUT} = 20 V p-p, R _{LOAD} = 1 kΩ	± 5 V		12.7			12.7		MHz
Slew Rate ³	R _{LOAD} = 1 kΩ	± 15 V ± 5 V ± 15 V		4.7 200 300			4.7 200 300		MHz V/μs V/μs
Settling Time			225			225			
to 0.1%, R _{LOAD} = 250 Ω	-2.5 V to +2.5 V 10 V Step, A _V = -1	± 5 V ± 15 V		65 65			65 65		ns ns
to 0.01%, R _{LOAD} = 250 Ω	-2.5 V to +2.5 V 10 V Step, A _V = -1	± 5 V ± 15 V		140 120			140 120		ns ns
Phase Margin	C _{LOAD} = 10 pF R _{LOAD} = 1 kΩ	± 15 V		50			50		Degree
Differential Gain	f ≈ 4.4 MHz, R _{LOAD} = 1 kΩ	± 15 V		0.04			0.04		%
Differential Phase	f ≈ 4.4 MHz, R _{LOAD} = 1 kΩ	± 15 V		0.19			0.19		Degree
COMMON-MODE REJECTION	V _{CM} = ± 2.5 V V _{CM} = ± 12 V T _{MIN} to T _{MAX}	± 5 V ± 15 V	80 80 75	95 95		80 80 75	95 95		dB dB dB
POWER SUPPLY REJECTION	V _S = ± 5 V to ± 15 V T _{MIN} to T _{MAX}		75 72	86		75 72	86		dB dB
INPUT VOLTAGE NOISE	f = 10 kHz	± 15 V		15			15		nV/√Hz
INPUT CURRENT NOISE	f = 10 kHz	± 15 V		1.5			1.5		pA/√Hz
INPUT COMMON-MODE VOLTAGE RANGE		± 5 V ± 15 V		+4.3 -3.4 +14.3 -13.4			+4.3 -3.4 +14.3 -13.4		V V V V
OUTPUT VOLTAGE SWING	R _{LOAD} = 500 Ω R _{LOAD} = 150 Ω R _{LOAD} = 1 kΩ R _{LOAD} = 500 Ω	± 5 V ± 5 V ± 15 V ± 15 V	3.0 2.5 12 10	3.6 3		3.0 2.5 12 10	3.6 3		± V ± V ± V ± V
Short-Circuit Current		± 15 V		32			32		mA
INPUT RESISTANCE				300			300		kΩ
INPUT CAPACITANCE				1.5			1.5		pF
OUTPUT RESISTANCE	Open Loop			15			15		Ω
POWER SUPPLY									
Operating Range			±4.5		±18	±4.5		±18	V
Quiescent Current	T _{MIN} to T _{MAX}	± 5 V		4.8	5.7		4.8	5.7	mA mA
		± 15 V		5.3	6.3		5.3	6.3	mA mA
	T _{MIN} to T _{MAX}				7.6			8.4	mA mA

絶対最大定格¹

電源電圧.....	± 18 V
内部消費電力 ²	
プラスチック(N).....	1.2 W
スモール・アウトライン(R).....	0.8 W
CERDIP (Q).....	1.1 W
入力電圧.....	± V _S
差動入力電圧.....	± 6 V
保存温度範囲(Q).....	-65°C~+150°C
(N, R).....	-65°C~+125°C
ジャンクション温度.....	175°C
ピン温度範囲(ハンダ処理60 sec).....	+300°C

¹上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

²ミニ DIP パッケージ: $\theta_{JA} = 100^{\circ}\text{C}/\text{W}$ 、 $\theta_{JC} = 33^{\circ}\text{C}/\text{W}$

CERDIP パッケージ: $\theta_{JA} = 110^{\circ}\text{C}/\text{W}$ 、 $\theta_{JC} = 30^{\circ}\text{C}/\text{W}$

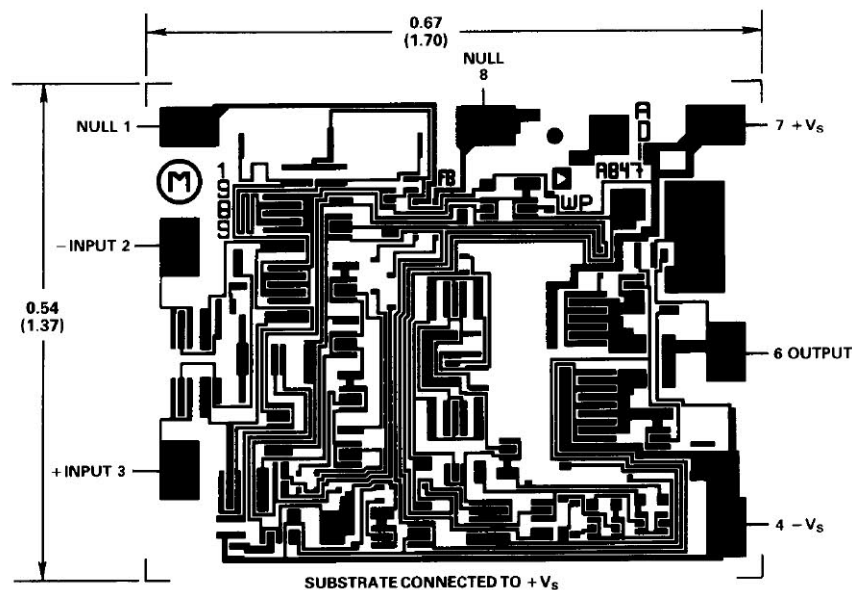
スモール・アウトライン・パッケージ: $\theta_{JA} = 155^{\circ}\text{C}/\text{W}$ 、 $\theta_{JC} = 33^{\circ}\text{C}/\text{W}$

ESDの注意

ESD (静電気放電)に敏感なデバイスです。4000 V にもなる静電気は人体や装置に蓄積され、検出されずに放電することがあります。AD847 は当社独自の ESD 保護回路を内蔵していますが、高エネルギーの静電放電が発生すると、デバイスが永久的な損傷を受けることがあります。このため、性能低下または機能損失を防止するために、ESD に対する適切な注意が必要です。

配線層の写真

最新寸法については最寄りの営業にご相談ください。
寸法表示:インチ(mm)



オーダー・ガイド

Models*	Temperature Range - °C	Package Description	Package Option
AD847JN	0 to +70	Plastic	N-8
AD847JR	0 to +70	SOIC	R-8
AD847AQ	-40 to +85	Cerdip	Q-8
AD847AR	-40 to +85	SOIC	R-8
AD847SQ	-55 to +125	Cerdip	Q-8
AD847SQ/883B	-55 to +125	Cerdip	Q-8
5962-8964701PA	-55 to +125	Cerdip	Q-8

*AD847はJおよびSグレード・チップでも、AD847JRとAD847ARはテープ&リールでも、それぞれ提供しています。

代表的な特性 (特に指定がない限り、 $+25^{\circ}\text{C}$ 、 $V_S = \pm 15\text{ V}$)

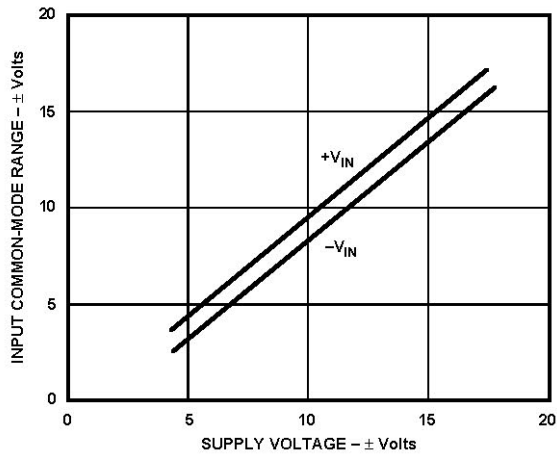


図 1. 電源電圧対入力同相モード範囲

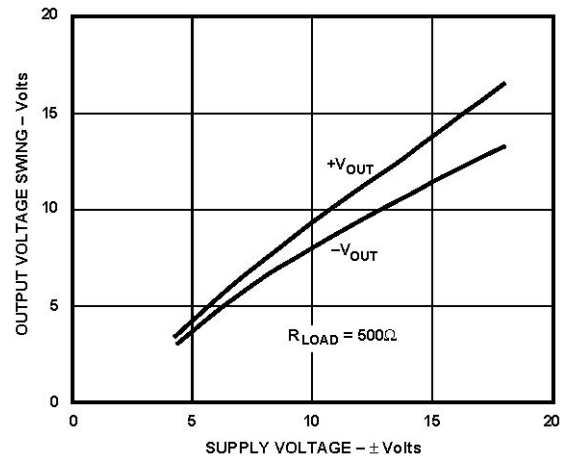


図 2. 電源電圧対出力電圧振幅

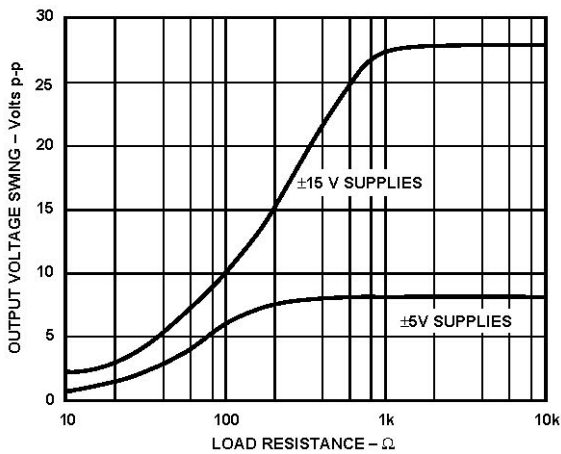


図 3. 負荷抵抗対出力電圧振幅

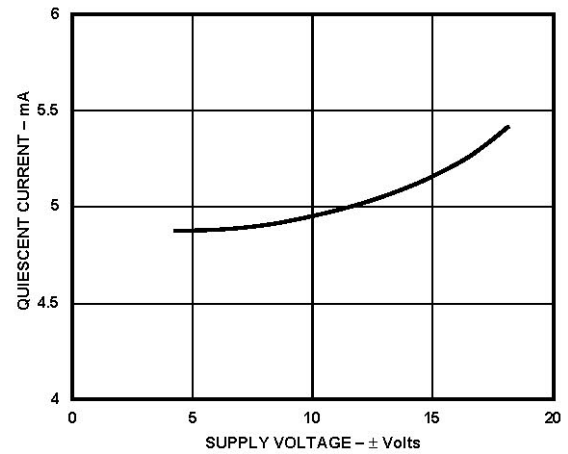


図 4. 電源電圧対静止電流

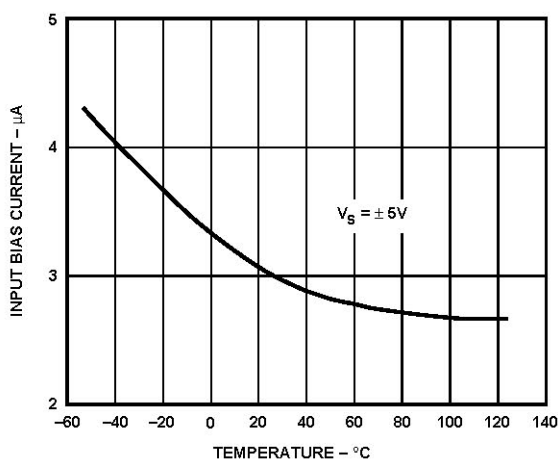


図 5. 入力バイアス電流の温度特性

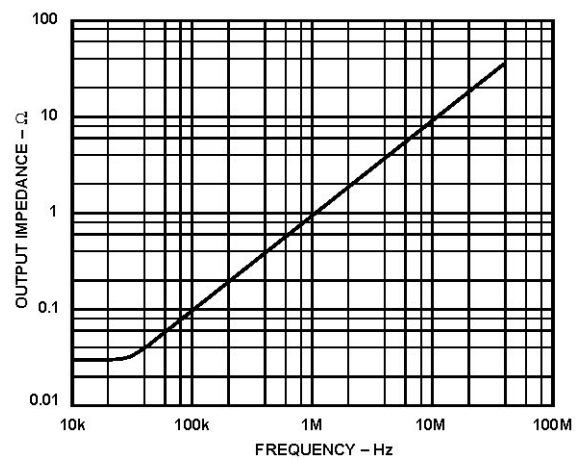


図 6. 出力インピーダンスの周波数特性

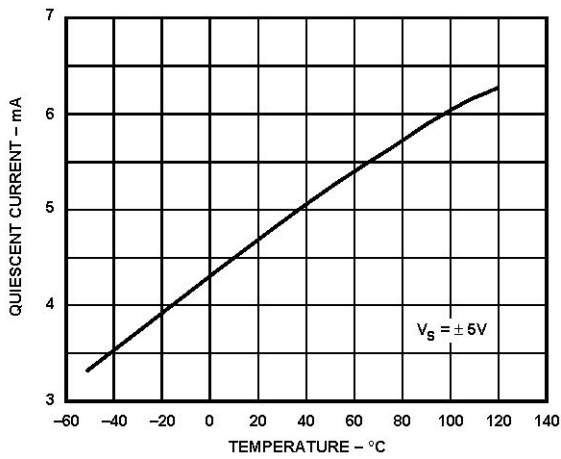


図 7. 静止電流の温度特性

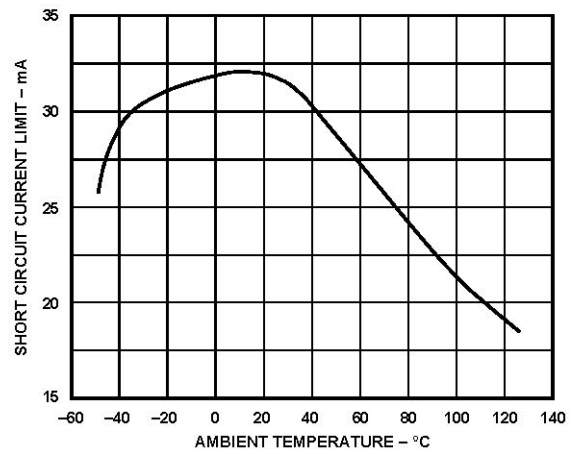


図 8. 短絡電流制限値の温度特性

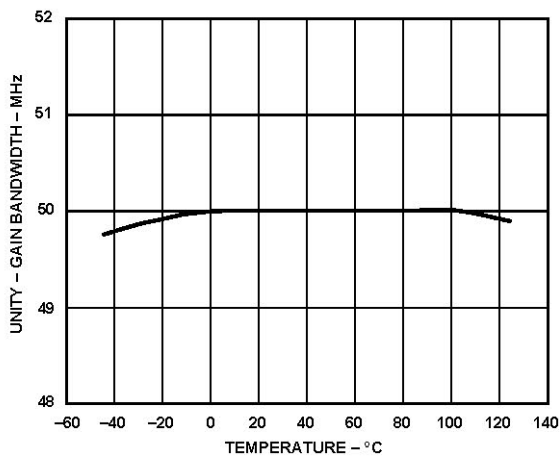


図 9. ゲイン帯域幅積の温度特性

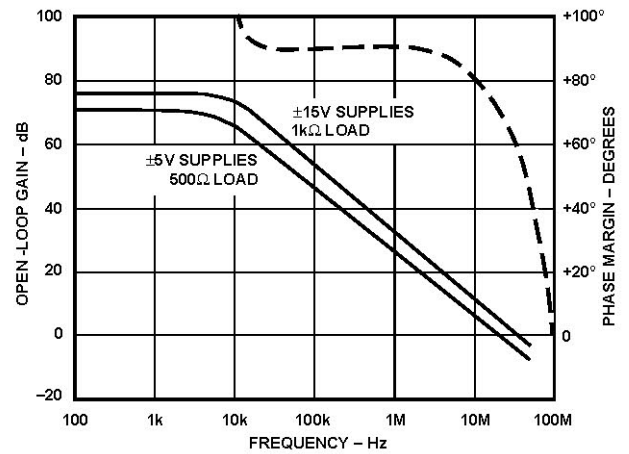


図 10. オープン・ループ・ゲインと位相マージンの周波数特性

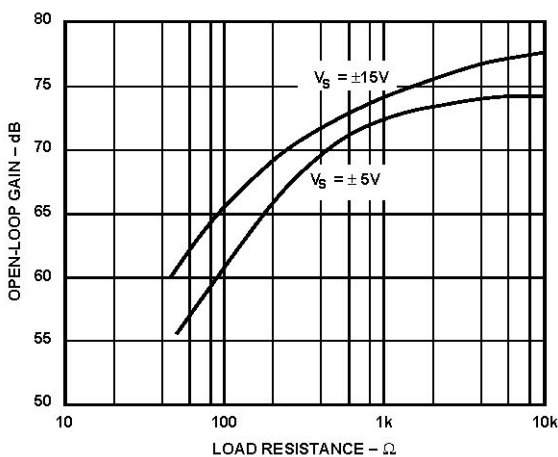


図 11. 負荷抵抗対オープン・ループ・ゲイン

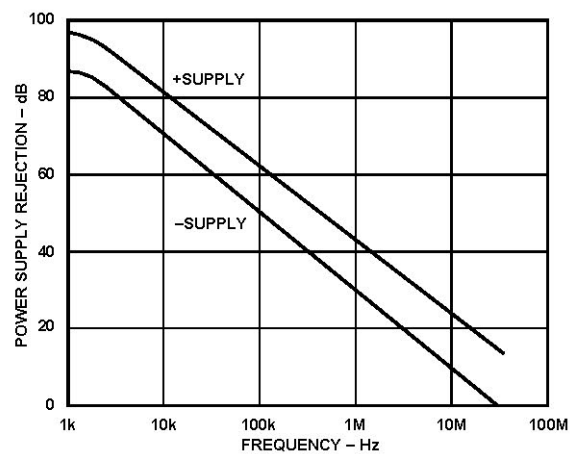


図 12. 電源除去比の周波数特性

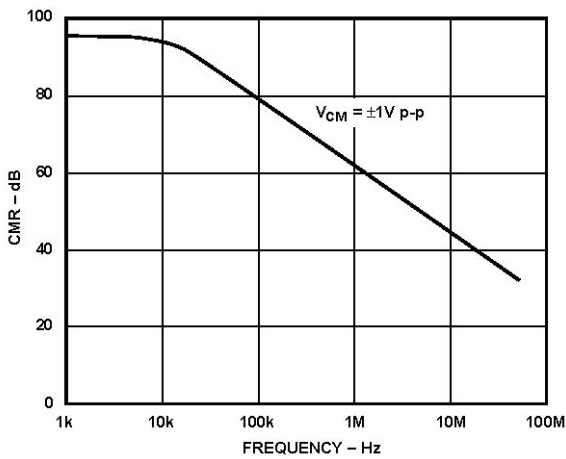


図 13.同相モード除去比の周波数特性

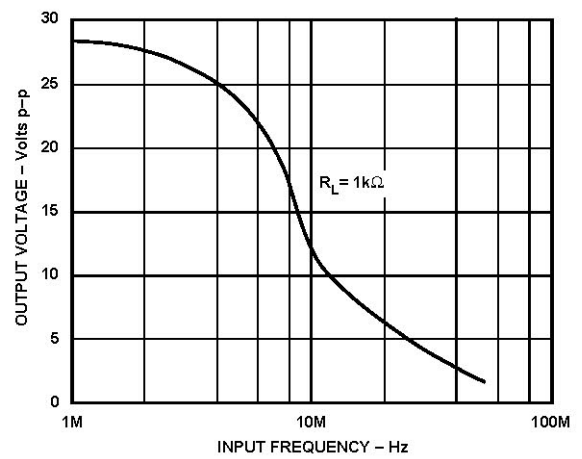


図 14.大信号周波数応答

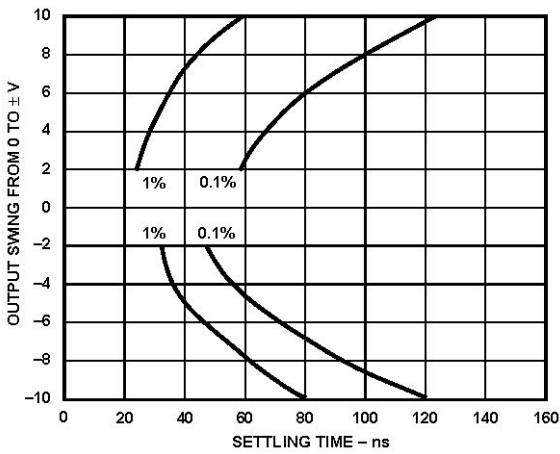


図 15.セトリング・タイム対出力振幅および誤差

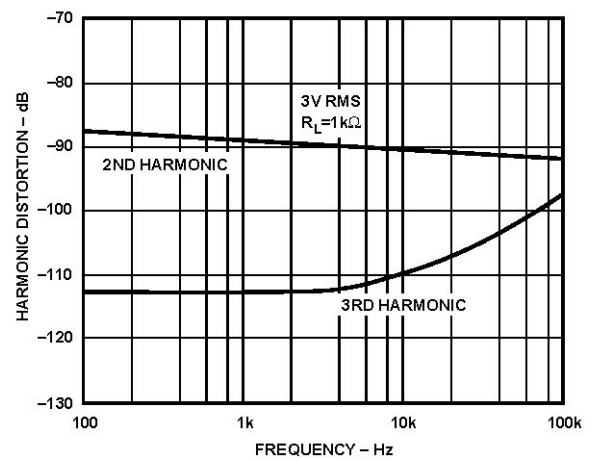


図 16.高調波歪みの周波数特性

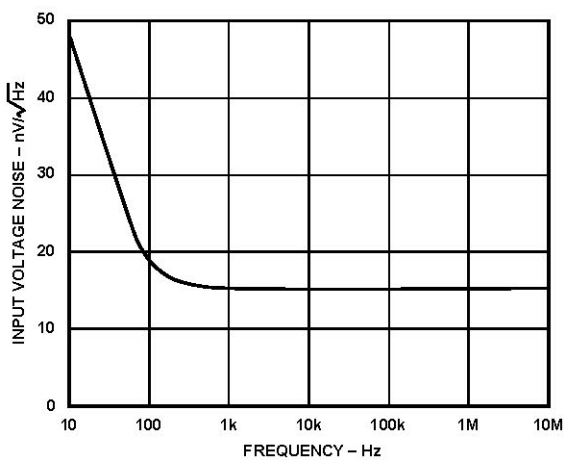


図 17.入力電圧ノイズ・スペクトル密度

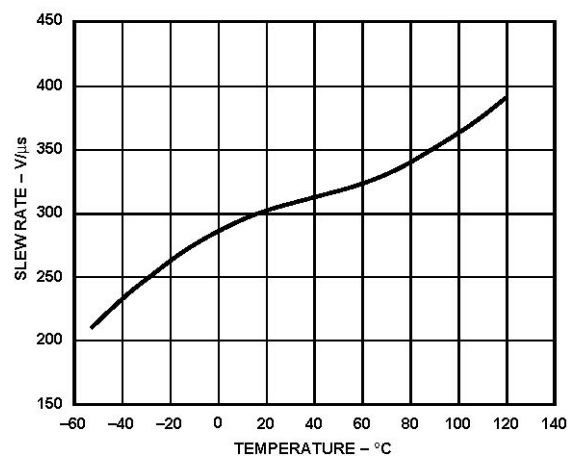


図 18.スルーレートの温度特性

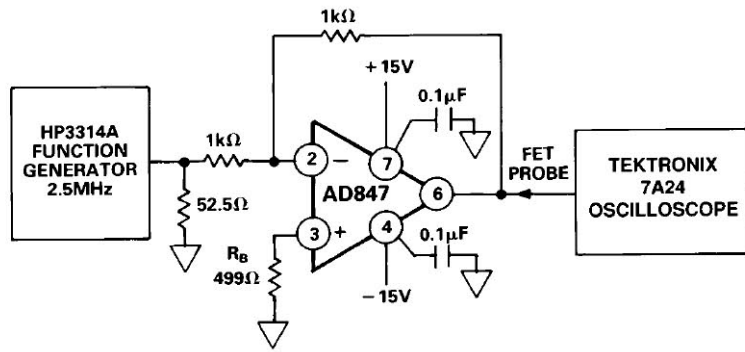


図 19.反転アンプ構成

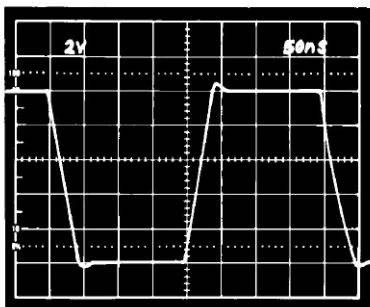


図 19a.インバータ大信号パルス応答

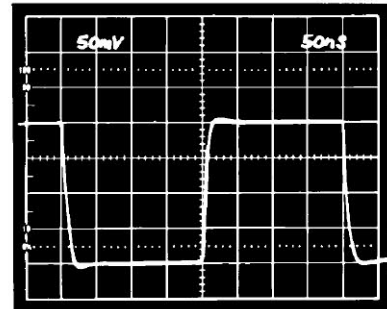


図 19b.インバータ小信号パルス応答

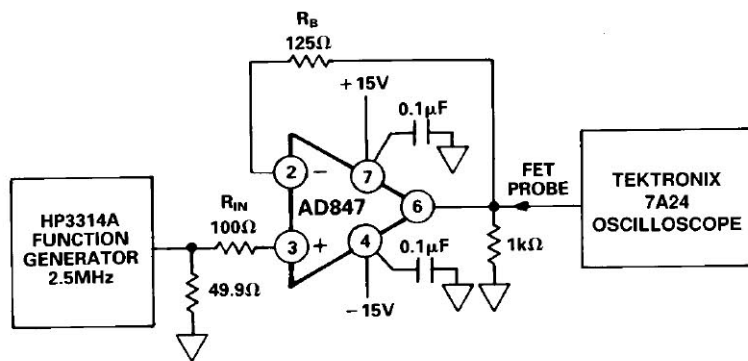


図 20.非反転アンプ構成

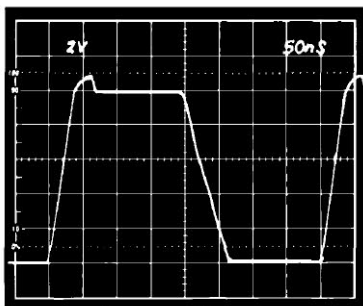


図 20a.非反転大信号パルス応答

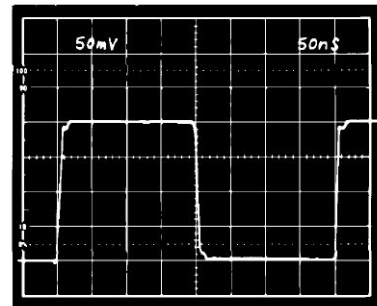


図 20b.非反転小信号パルス応答

オフセットの除去

AD847 の入力オフセット電圧は高速オペアンプとしては非常に小さいですが、さらに小さくする場合には、図 21 の回路を使うことができます。

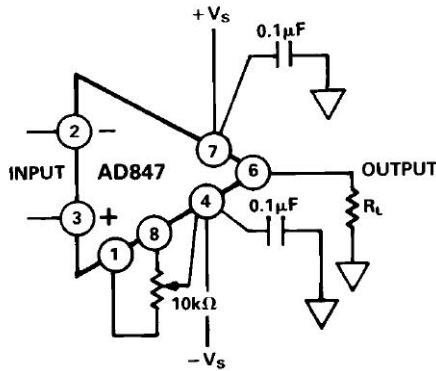


図 21. オフセット・ヌル機能

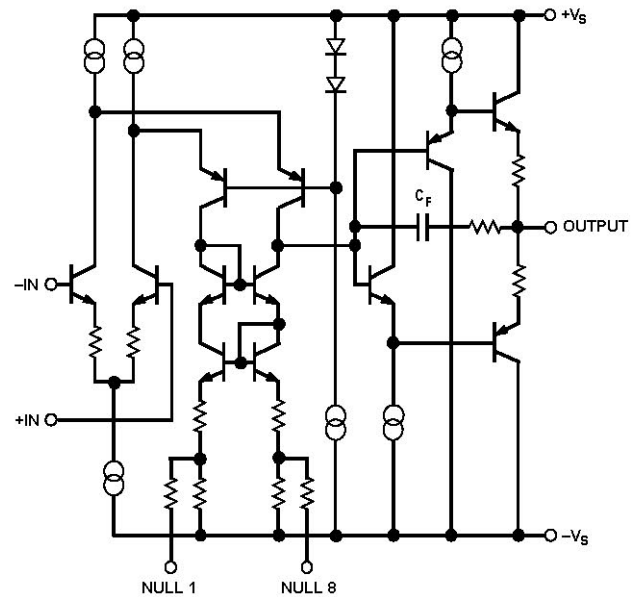


図 22. AD847 の簡略化した回路図

入力の考慮事項

入力抵抗(図 20 の R_{IN})は、AD847 の入力が $\pm 6V$ の最大差動規定値を超える過渡的または連続的な過負荷電圧に遭遇する回路で必要です。この抵抗は、ベースに流れる最大電流を制限することにより、入力トランジスタを保護します。

高性能回路に対しては、抵抗(図 19 と図 20 の R_B)を使って、各入力でインピーダンスを一致させることによりバイアス電流誤差を小さくすることが推奨されます。オフセット電圧誤差は、一桁以上小さくすることができます。

動作原理

AD847 は、600 MHz~800 MHz の領域で一致した f_T を持つ pnp トランジスタと npn トランジスタを構成することができる、アナログ・デバイス独自の相補バイポーラ(CB)プロセスで製造されています。AD847 回路(図 22)は、フォールド・カスケード中間ゲイン・ステージ内に npn 入力ステージとそれに続く複数の高速 pnp を内蔵しています。電流増幅出力ステージに CB pnp も使用しています。AD847 をユニティ・ゲイン安定にする内部補償容量は、ゲイン・ステージ内のトランジスタの接合容量により構成されています。

出力ステージのコンデンサ C_F は、容量負荷の影響を軽減します。低周波と低容量負荷では、補償ノードから出力までのゲインは 1 に非常に近い値になります。この場合、 C_F はブートストラップされるため、デバイスの補償容量には寄与しません。容量負荷が大きくなると、出力ステージの出力インピーダンスにより極が形成されます。このためゲインが低下して、 C_F は不完全にブートストラップされます。 C_F の一部が補償容量に寄与し、ユニティ・ゲイン帯域幅が小さくなります。負荷容量が大きくなるほど、帯域幅は小さくなるので、アンプは安定します。

グラウンドとバイパス

AD847 を使う実用的な回路のデザインでは、高い周波数が関係する場合、特別な注意が必要です。回路の接続は短くする必要があります。低抵抗、低インダクタンス回路バス、高周波混入の影響の最小化が可能な場合には、大きなグラウンド・プレーンを使う必要があります。ソケットの使用は、ピン間容量が増えて帯域幅を小さくするので回避する必要があります。

帰還抵抗は十分小さくして、アンプ加算点の容量で形成される時定数によりアンプ性能が制限されないようにする必要があります。5 kΩ 以下の抵抗値の使用が推奨されます。これより大きな抵抗を使う必要がある場合には、小さい帰還コンデンサ(<10 pF)と帰還抵抗 R_F の並列接続を使用して入力容量を補償して、アンプのダイナミック性能を最適化することができます。

電源ピンは、アンプ・ピンのできるだけ近くでグラウンドへバイパスする必要があります。0.1 μF のセラミック・ディスク・コンデンサの使用が推奨されます。

ビデオ・ライン・ドライバ

AD847 は、終端または未終端ケーブルに対する低価格の高速ライン・ドライバとして優れています。図 23 に、フォロワ構成でダブル終端ケーブルを駆動する AD847 を示します。

終端抵抗 R_T (ケーブルの特性インピーダンスに一致する場合)により、ケーブル遠端からの反射が小さくなります。 $\pm 5\text{ V}$ 電源で動作する場合、AD847 は $200\text{ V}/\mu\text{s}$ (typ) のスループートを維持します。これは、終端ケーブルを $\pm 1\text{ V}$ 、 30 MHz の信号で駆動できることを意味します。

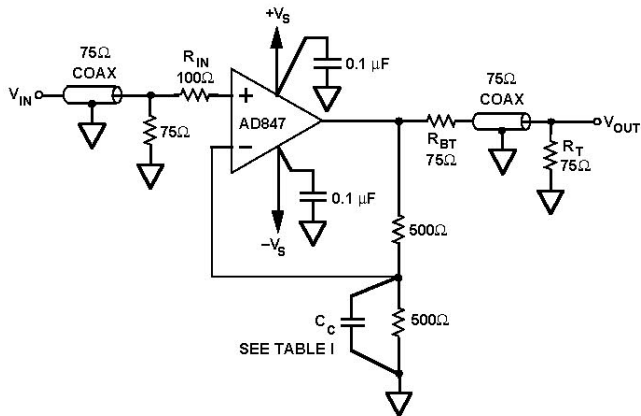


図 23. ビデオ・ライン・ドライバ

表 I. ビデオ・ライン・ドライバの性能

V_{IN}^*	V_{SUPPLY}	C_C	-3 dB B_w	Overshoot
0 dB or $\pm 500\text{ mV Step}$	± 15	20 pF	23 MHz	4%
0 dB or $\pm 500\text{ mV Step}$	± 15	15 pF	21 MHz	0%
0 dB or $\pm 500\text{ mV Step}$	± 15	0 pF	13 MHz	0%
0 dB or $\pm 500\text{ mV Step}$	± 5	20 pF	18 MHz	2%
0 dB or $\pm 500\text{ mV Step}$	± 5	15 pF	16 MHz	0%
0 dB or $\pm 500\text{ mV Step}$	± 5	0 pF	11 MHz	0%

* -3 dB 帯域幅は、0 dBm 信号入力の場合の値です。オーバーシュートは、1 V ステップ入力のパーセント・オーバーシュート値です。

バック終端抵抗 (R_{BT} 、これもケーブルの特性インピーダンスに一致)は、 R_T とケーブルの特性インピーダンスとの間の不一致により発生する反射信号を制動するために、AD847 出力とケーブル入力間に配置することができます。これにより周波数応答が平坦化されます。ただし、この場合オペアンプは抵抗 R_T で $\pm 1\text{ V}$ の振幅を実現するために $\pm 2\text{ V}$ を出力に供給する必要があります。

図 24 に、 100 pF と 1000 pF の負荷を駆動する AD847 を示します。

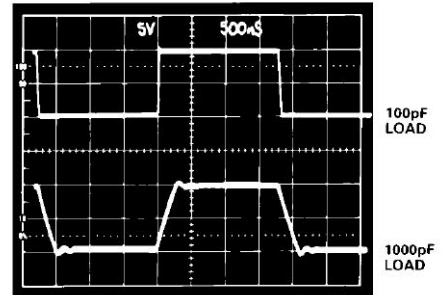


図 24. 容量負荷を駆動する AD847

フラッシュADCの入力バッファ

AD847は35 MHzのユニティ・ゲイン帯域幅を持つため、AD9048のような高速フラッシュA/Dコンバータの入力バッファとして優れた選択肢です。

図 25 に、AD9048 入力のユニティ・インバータとして使用した AD847 を示します。

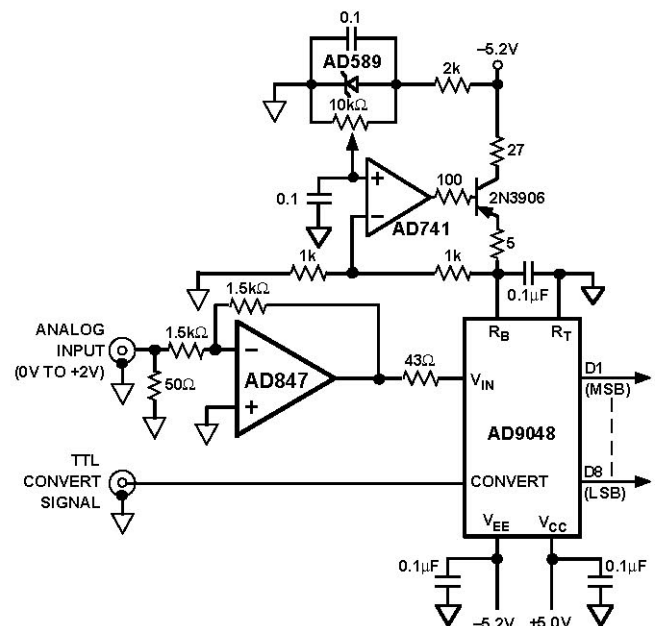
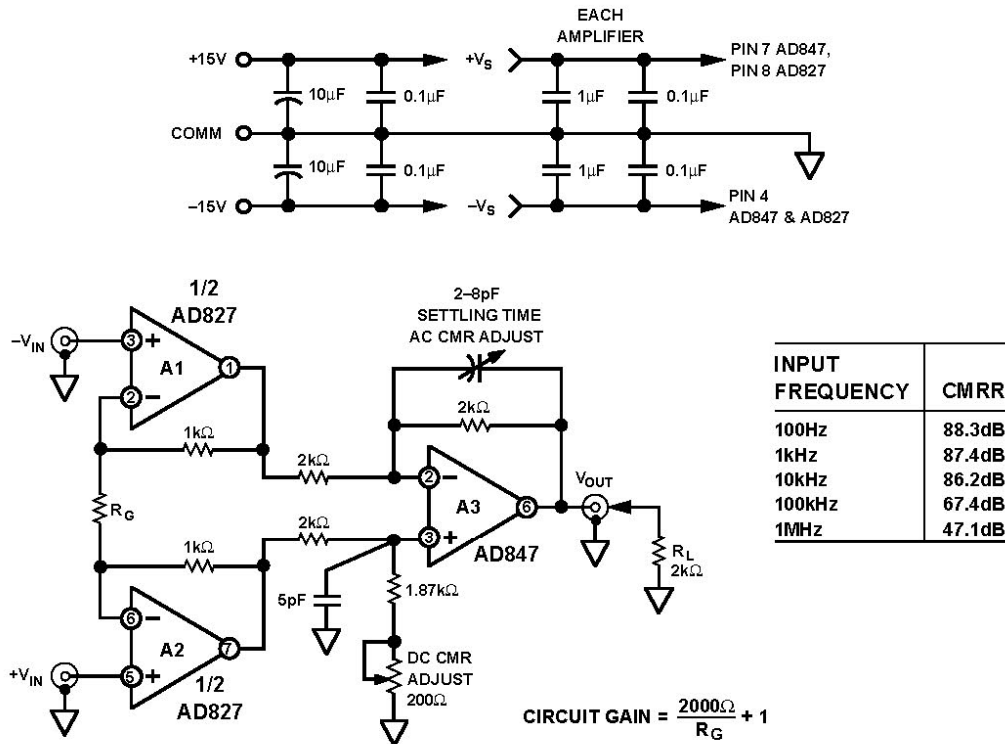


図 25. フラッシュ ADC の入力バッファ

高速 3 オペアンプ型計装アンプ

図 26 の回路は、CCD 画像処理とその他のビデオ速度のアプリケーションに適しています。2 個の高速 CB 処理オペアンプを使っています。出力アンプのアンプ A3 は AD847 です。

入力アンプ (A1 と A2) は AD827 であり、これは AD847 のデュアル・バージョンです。この回路には、同相モード除去の DC トリムと AC トリム、およびセトリング・タイムを小さくする調整機能もあります。



BANDWIDTH, SETTLING TIME AND TOTAL HARMONIC DISTORTION VS. GAIN

GAIN	R _G	C _{ADJ} (pF)	SMALL SIGNAL BANDWIDTH	SETTLING TIME TO 0.1%	THD + NOISE BELOW INPUT LEVEL @ 10kHz
1	OPEN	2-8	16.1MHz	200ns	82dB
2	2kΩ	2-8	14.7MHz	200ns	82dB
10	226Ω	2-8	4.5MHz	370ns	81dB
100	20Ω	2-8	660kHz	2.5μs	71dB

図 26. データ・アクイジション用の高速計装アンプ

高速DACのバッファ

AD847は広い帯域幅と高速なセトリング・タイムを持つため、AD668のような高速な電流出力D/Aコンバータの出力バッファとして適しています。図27に示すオペアンプは、DAC出力用にグラウンドの加算ノードを構成します。出力電圧は、アンプの帰還抵抗により決定されます(1 kΩの抵抗で10.24 V)。

DACはグラウンドへ流れる正電流を発生するため、アンプ出力の電圧は負になることに注意してください。非反転アンプ入力とグラウンドとの間に100 Ωの直列抵抗を接続すると、オペアンプ入力バイアス電流のオフセット影響が小さくなります。

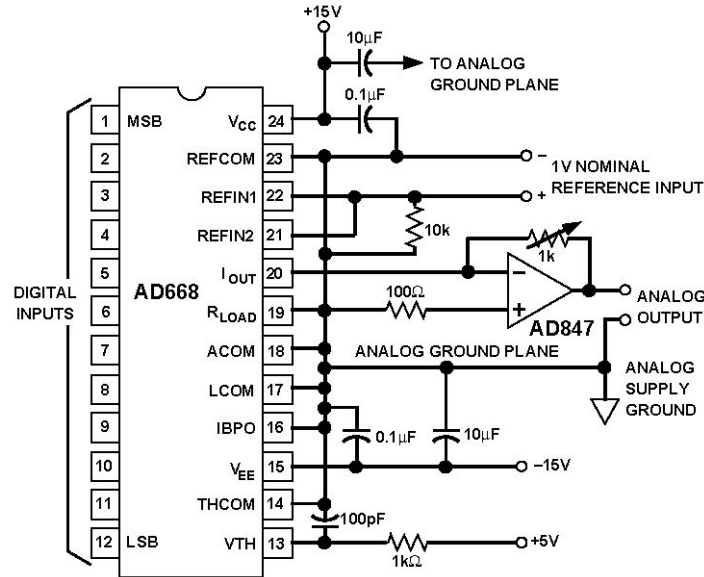
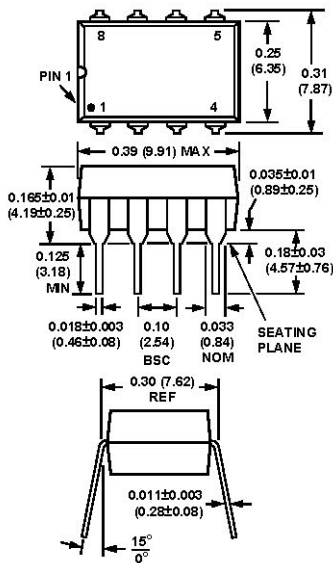


図 27. 高速 DAC のバッファ

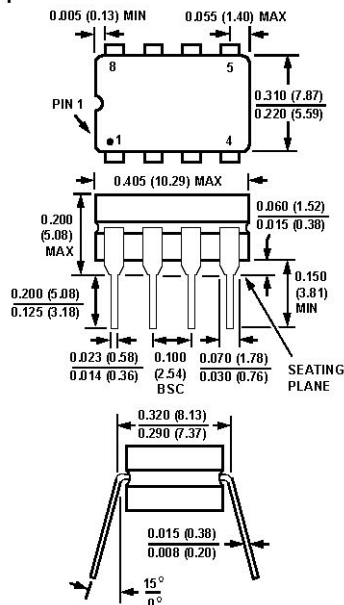
外形寸法

寸法表示: インチ(mm)

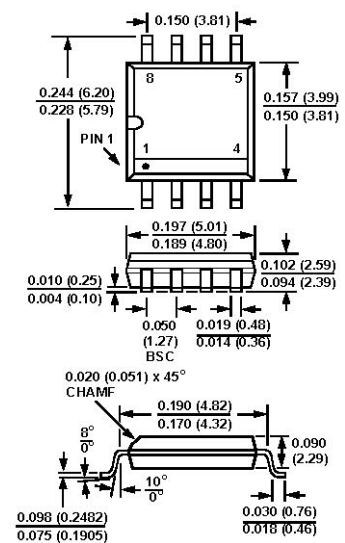
Mini-DIP (N-8)パッケージ



CERDIP (Q-8)パッケージ



スモール・アウトライン(R-8)パッケージ



すべてのブランド名または製品名は、それぞれの所有者の商標または登録商標です。