

EVALUATION KIT  
AVAILABLE

MAXIM

低電力、8チャンネル、  
シリアル12ビットADC

MAX186/MAX188

## 概要

MAX186/MAX188は、8チャンネル・マルチプレクサ、高帯域幅トラック/ホールド及びシリアル・インタフェースを、高速な変換速度と極めて低い消費電力と共に組み合わせた、12ビット・データアキュイジション・システムです。これらの製品は、+5V単一又はデュアル±5V電源で動作します。アナログ入力は、ユニポーラ/バイポーラ、シングルエンド/差動の各動作をソフトウェアで設定することができます。

4線式のシリアル・インタフェースにより、外部ロジックを用いることなく、SPI™、QSPI™及びMicrowire™デバイスと接続することができます。シリアル・ストローブ出力により、TMS320ファミリのデジタル・シグナル・プロセッサと直接接続することができます。MAX186/MAX188は、逐次比較型A/D変換の実行のために、内部クロックまたは外部シリアル・インタフェース・クロックのいずれかを用いることができます。内部クロックを用いる際には、シリアル・インタフェースは4MHz以上の速度で動作可能となります。

MAX186は4.096Vのリファレンスを内蔵していますが、MAX188には外部リファレンスが必要です。いずれの製品も、ゲイン調整を簡略化するリファレンス・バッファ・アンプを備えています。

MAX186/MAX188は、ハードワイヤードによるSHDNピンと、ソフトウェアで選択可能な2種類のパワーダウン・モードを備えています。シリアル・インタフェースにアクセスすることにより、自動的にデバイスに電源が入ります。そして、起動時間も高速なことから、毎回の変換の合間にシャットダウンすることができます。このように変換の合間でのパワーダウンを行うことで、制限されたサンプリング・レートでは電源電流を10μA以下まで抑えることができます。

MAX186/MAX188は、20ピンDIP、SOPパッケージ及び、8ピンDIPよりも占有面積が30%少ないシュクリンク・スモールアウトライン・パッケージ(SSOP)で提供します。パラレル・インタフェースを必要とする応用では、MAX180/MAX181のデータシートを参照してください。アンチエイリアシング・フィルタについては、MAX274/MAX275のデータシートを参照してください。

## アプリケーション

携帯用データ・ロガー  
データアキュイジション  
高精度プロセス制御  
自動試験装置  
ロボット  
バッテリー駆動機器  
医療用機器

SPI及びQSPIはMotorolaの商標です。  
MicrowireはNational Semiconductor

## 特長

- ◆ 8チャンネル・シングルエンド、又は、4チャンネル差動入力
- ◆ +5V単一又は±5V動作
- ◆ 低消費電力：1.5mA (動作モード)  
2μA (パワーダウン・モード)
- ◆ 内部トラック/ホールド、133kHzのサンプリング・レート
- ◆ 4.096Vリファレンス内蔵 (MAX186)
- ◆ SPI、QSPI、Microwire、TMS320コンパチブルの4線式シリアル・インタフェース
- ◆ ソフトウェア設定によるユニポーラ又はバイポーラ入力
- ◆ 20ピンDIP、SOP、SSOPパッケージ
- ◆ 評価キットを提供

## 型番

PART†	TEMP. RANGE	PIN-PACKAGE
MAX186_CPP	0°C to +70°C	20 Plastic DIP
MAX186_CWP	0°C to +70°C	20 SO
MAX186_CAP	0°C to +70°C	20 SSOP
MAX186DC/D	0°C to +70°C	Dice*
MAX186_EPP	-40°C to +85°C	20 Plastic DIP
MAX186_EWP	-40°C to +85°C	20 SO
MAX186_EAP	-40°C to +85°C	20 SSOP
MAX186_MJP	-55°C to +125°C	20 CERDIP**

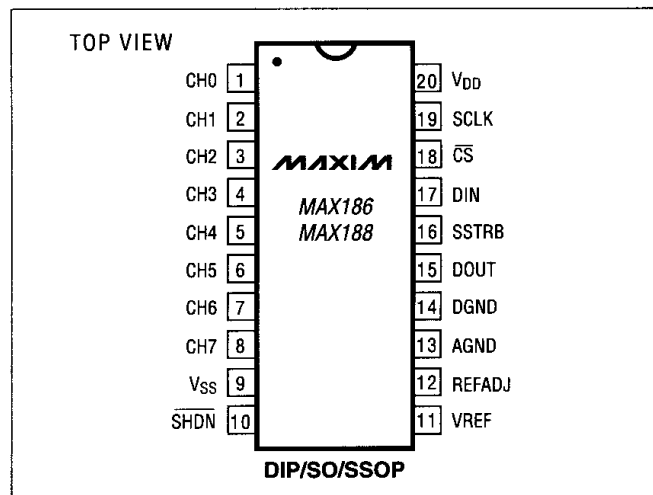
## Ordering Information continued on last page.

† NOTE: Parts are offered in grades A, B, C and D (grades defined in Electrical Characteristics). When ordering, please specify grade. Contact factory for availability of A-grade in SSOP package.

\* Dice are specified at +25°C, DC parameters only.

\*\* Contact factory for availability and processing to MIL-STD-883.

## ピン配置



# 低電力、8チャンネル、 シリアル12ビットADC

MAX186/MAX188

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD</sub> to AGND	-0.3V to +6V
V <sub>SS</sub> to AGND	+0.3V to -6V
V <sub>DD</sub> to V <sub>SS</sub>	-0.3V to +12V
AGND to DGND	-0.3V to +0.3V
CH0-CH7 to AGND, DGND	(V <sub>SS</sub> - 0.3V) to (V <sub>DD</sub> + 0.3V)
CH0-CH7 Total Input Current	±20mA
VREF to AGND	-0.3V to (V <sub>DD</sub> + 0.3V)
REFADJ to AGND	-0.3V to (V <sub>DD</sub> + 0.3V)
Digital Inputs to DGND	-0.3V to (V <sub>DD</sub> + 0.3V)
Digital Outputs to DGND	-0.3V to (V <sub>DD</sub> + 0.3V)
Digital Output Sink Current	25mA

Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
Plastic DIP (derate 11.11mW/°C above +70°C)	889mW
SO (derate 10.00mW/°C above +70°C)	800mW
SSOP (derate 8.00mW/°C above +70°C)	640mW
CERDIP (derate 11.11mW/°C above +70°C)	889mW
Operating Temperature Ranges:	
MAX186_C/MAX188_C	0°C to +70°C
MAX186_E/MAX188_E	-40°C to +85°C
MAX186_M/MAX188_M	-55°C to +125°C
Storage Temperature Range	-60°C to +150°C
Lead Temperature (soldering, 10sec)	+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD</sub> = 5V ±5%; V<sub>SS</sub> = 0V or -5V; f<sub>CLK</sub> = 2.0MHz, external clock (50% duty cycle); 15 clocks/conversion cycle (133kps); MAX186—4.7µF capacitor at VREF pin; MAX188—external reference, VREF = 4.096V applied to VREF pin; T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
<b>DC ACCURACY</b> (Note 1)							
Resolution			12			Bits	
Relative Accuracy (Note 2)		MAX186A/MAX188A			±0.5	LSB	
		MAX186B/MAX188B			±0.5		
		MAX186C			±1.0		
		MAX188C			±0.75		
		MAX186D/MAX188D			±1.0		
Differential Nonlinearity	DNL	No missing codes over temperature			±1	LSB	
Offset Error		MAX186A/MAX188A			±2.0	LSB	
		MAX186B/MAX188B			±3.0		
		MAX186C/MAX188C			±3.0		
		MAX186D/MAX188D			±3.0		
Gain Error (Note 3)		MAX186 (all grades)			±3.0	LSB	
		External reference 4.096V (MAX188)	MAX188A				±1.5
			MAX188B				±2.0
			MAX188C				±2.0
			MAX188D				±3.0
Gain Temperature Coefficient		External reference, 4.096V			±0.8	ppm/°C	
Channel-to-Channel Offset Matching					±0.1	LSB	
<b>DYNAMIC SPECIFICATIONS</b> (10kHz sine wave input, 4.096V <sub>p-p</sub> , 133kps, 2.0MHz external clock, bipolar input mode)							
Signal-to-Noise + Distortion Ratio	SINAD		70			dB	
Total Harmonic Distortion (up to the 5th harmonic)	THD				-80	dB	
Spurious-Free Dynamic Range	SFDR		80			dB	
Channel-to-Channel Crosstalk		65kHz, V <sub>IN</sub> = 4.096V <sub>p-p</sub> (Note 4)			-85	dB	

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>DD</sub> = 5V ±5%; V<sub>SS</sub> = 0V or -5V; f<sub>CLK</sub> = 2.0MHz, external clock (50% duty cycle); 15 clocks/conversion cycle (133ksps); MAX186—4.7μF capacitor at VREF pin; MAX188—external reference, VREF = 4.096V applied to VREF pin; T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Small-Signal Bandwidth		-3dB rolloff		4.5		MHz
Full-Power Bandwidth				800		kHz
<b>CONVERSION RATE</b>						
Conversion Time (Note 5)	t <sub>CONV</sub>	Internal clock	5.5		10	μs
		External clock, 2MHz, 12 clocks/conversion	6			
Track/Hold Acquisition Time	t <sub>AZ</sub>				1.5	μs
Aperture Delay				10		ns
Aperture Jitter				<50		ps
Internal Clock Frequency				1.7		MHz
External Clock Frequency Range		External compensation, 4.7μF	0.1		2.0	MHz
		Internal compensation (Note 6)	0.1		0.4	
		Used for data transfer only			10	
<b>ANALOG INPUT</b>						
Input Voltage Range, Single-Ended and Differential (Note 9)		Unipolar, V <sub>SS</sub> = 0V			0 to VREF	V
		Bipolar, V <sub>SS</sub> = -5V			±VREF/2	
Multiplexer Leakage Current		On/off leakage current, V <sub>IN</sub> = ±5V		±0.01	±1	μA
Input Capacitance		(Note 6)		16		pF
<b>INTERNAL REFERENCE (MAX186 only, reference buffer enabled)</b>						
VREF Output Voltage		T <sub>A</sub> = +25°C	4.076	4.096	4.116	V
VREF Short-Circuit Current					30	mA
VREF Tempco		MAX186A, MAX186B, MAX186C	MAX186_C	±30	±50	ppm/°C
			MAX186_E	±30	±60	
			MAX186_M	±30	±80	
		MAX186D	±30			
Load Regulation (Note 7)		0mA to 0.5mA output load		2.5		mV
Capacitive Bypass at VREF		Internal compensation	0			μF
		External compensation	4.7			
Capacitive Bypass at REFADJ		Internal compensation	0.01			μF
		External compensation	0.01			
REFADJ Adjustment Range				±1.5		%
<b>EXTERNAL REFERENCE AT VREF (Buffer disabled, VREF = 4.096V)</b>						
Input Voltage Range			2.50		V <sub>DD</sub> + 50mV	V
Input Current				200	350	μA
Input Resistance			12	20		kΩ
Shutdown VREF Input Current				1.5	10	μA
Buffer Disable Threshold REFADJ			V <sub>DD</sub> - 50mV			V

# 低電力、8チャンネル、 シリアル12ビットADC

MAX186/MAX188

## ELECTRICAL CHARACTERISTICS (continued)

(V<sub>DD</sub> = 5V ±5%; V<sub>SS</sub> = 0V or -5V; f<sub>CLK</sub> = 2.0MHz, external clock (50% duty cycle); 15 clocks/conversion cycle (133ksps); MAX186—4.7μF capacitor at VREF pin; MAX188—external reference, VREF = 4.096V applied to VREF pin; T<sub>A</sub> = T<sub>MIN</sub> to T<sub>MAX</sub>, unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>EXTERNAL REFERENCE AT REFADJ</b>						
Capacitive Bypass at VREF		Internal compensation mode	0			μF
		External compensation mode	4.7			
Reference-Buffer Gain		MAX186	1.678			V/V
		MAX188	1.638			
REFADJ Input Current		MAX186	±50			μA
		MAX188	±5			
<b>DIGITAL INPUTS (DIN, SCLK, CS, SHDN)</b>						
DIN, SCLK, CS Input High Voltage	V <sub>INH</sub>		2.4			V
DIN, SCLK, CS Input Low Voltage	V <sub>INL</sub>				0.8	V
DIN, SCLK, CS Input Hysteresis	V <sub>HYST</sub>		0.15			V
DIN, SCLK, CS Input Leakage	I <sub>IN</sub>	V <sub>IN</sub> = 0V or V <sub>DD</sub>			±1	μA
DIN, SCLK, CS Input Capacitance	C <sub>IN</sub>	(Note 6)			15	pF
SHDN Input High Voltage	V <sub>INH</sub>		V <sub>DD</sub> - 0.5			V
SHDN Input Low Voltage	V <sub>INL</sub>				0.5	V
SHDN Input Current, High	I <sub>INH</sub>	SHDN = V <sub>DD</sub>			4.0	μA
SHDN Input Current, Low	I <sub>INL</sub>	SHDN = 0V	-4.0			μA
SHDN Input Mid Voltage	V <sub>IM</sub>		1.5	V <sub>DD</sub> - 1.5		V
SHDN Voltage, Floating	V <sub>FLT</sub>	SHDN = open	2.75			V
SHDN Max Allowed Leakage, Mid Input		SHDN = open	-100		100	nA
<b>DIGITAL OUTPUTS (DOUT, SSTRB)</b>						
Output Voltage Low	V <sub>OL</sub>	I <sub>SINK</sub> = 5mA			0.4	V
		I <sub>SINK</sub> = 16mA	0.3			
Output Voltage High	V <sub>OH</sub>	I <sub>SOURCE</sub> = 1mA	4			V
Three-State Leakage Current	I <sub>L</sub>	CS = 5V			±10	μA
Three-State Output Capacitance	C <sub>OUT</sub>	CS = 5V (Note 6)			15	pF
<b>POWER REQUIREMENTS</b>						
Positive Supply Voltage	V <sub>DD</sub>		5 ±5%			V
Negative Supply Voltage	V <sub>SS</sub>		0 or -5 ±5%			V
Positive Supply Current	I <sub>DD</sub>	Operating mode	1.5	2.5		mA
		Fast power-down	30	70		
		Full power-down	2	10		
Negative Supply Current	I <sub>SS</sub>	Operating mode and fast power-down			50	μA
		Full power-down			10	

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{DD} = 5V \pm 5\%$ ;  $V_{SS} = 0V$  or  $-5V$ ;  $f_{CLK} = 2.0MHz$ , external clock (50% duty cycle); 15 clocks/conversion cycle (133ksps); MAX186— $4.7\mu F$  capacitor at VREF pin; MAX188—external reference, VREF = 4.096V applied to VREF pin;  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Positive Supply Rejection (Note 8)	PSR	$V_{DD} = 5V \pm 5\%$ ; external reference, 4.096V; full-scale input		$\pm 0.06$	$\pm 0.5$	mV
Negative Supply Rejection (Note 8)	PSR	$V_{SS} = -5V \pm 5\%$ ; external reference, 4.096V; full-scale input		$\pm 0.01$	$\pm 0.5$	mV

**Note 1:** Tested at  $V_{DD} = 5.0V$ ;  $V_{SS} = 0V$ ; unipolar input mode.

**Note 2:** Relative accuracy is the deviation of the analog value at any code from its theoretical value after the full-scale range has been calibrated.

**Note 3:** MAX186 – internal reference, offset nulled; MAX188 – external reference (VREF = +4.096V), offset nulled.

**Note 4:** Ground on-channel; sine wave applied to all off channels.

**Note 5:** Conversion time defined as the number of clock cycles times the clock period; clock has 50% duty cycle.

**Note 6:** Guaranteed by design. Not subject to production testing.

**Note 7:** External load should not change during conversion for specified accuracy.

**Note 8:** Measured at  $V_{SUPPLY} +5\%$  and  $V_{SUPPLY} -5\%$  only.

**Note 9:** The common-mode range for the analog inputs is from  $V_{SS}$  to  $V_{DD}$ .

## TIMING CHARACTERISTICS

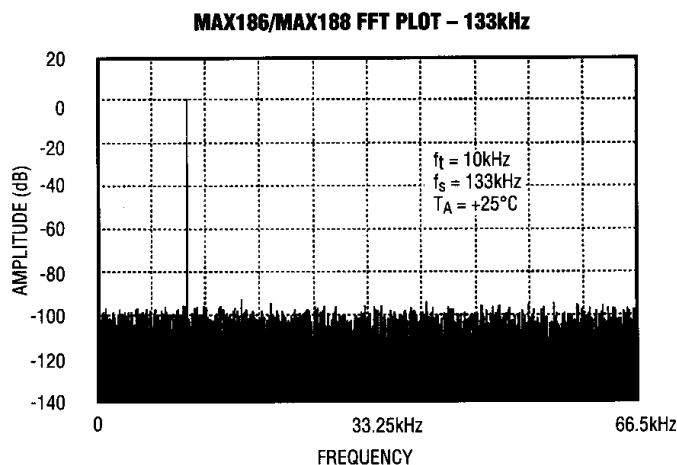
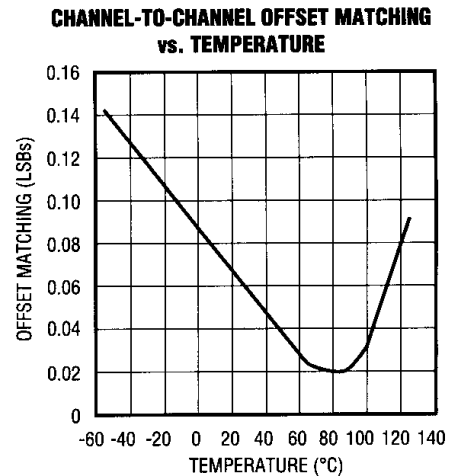
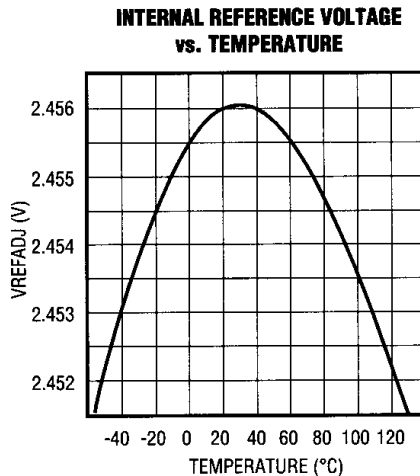
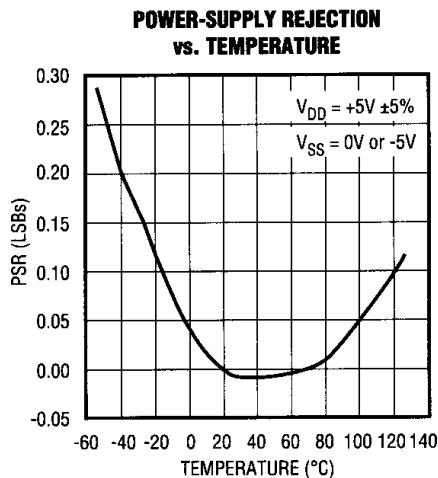
( $V_{DD} = 5V \pm 5\%$ ;  $V_{SS} = 0V$  or  $-5V$ ,  $T_A = T_{MIN}$  to  $T_{MAX}$ , unless otherwise noted.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Acquisition Time	$t_{AZ}$		1.5			$\mu s$
DIN to SCLK Setup	$t_{DS}$		100			ns
DIN to SCLK Hold	$t_{DH}$				0	ns
SCLK Fall to Output Data Valid	$t_{DO}$	$C_{LOAD} = 100pF$		20	150	ns
			MAX18_ <u>C/E</u>	20	200	ns
						MAX18_ <u>M</u>
$\overline{CS}$ Fall to Output Enable	$t_{DV}$	$C_{LOAD} = 100pF$			100	ns
$\overline{CS}$ Rise to Output Disable	$t_{TR}$	$C_{LOAD} = 100pF$			100	ns
$\overline{CS}$ to SCLK Rise Setup	$t_{CSS}$		100			ns
$\overline{CS}$ to SCLK Rise Hold	$t_{CSH}$		0			ns
SCLK Pulse Width High	$t_{CH}$		200			ns
SCLK Pulse Width Low	$t_{CL}$		200			ns
SCLK Fall to SSTRB	$t_{SSTRB}$	$C_{LOAD} = 100pF$			200	ns
$\overline{CS}$ Fall to SSTRB Output Enable (Note 6)	$t_{SDV}$	External clock mode only, $C_{LOAD} = 100pF$			200	ns
$\overline{CS}$ Rise to SSTRB Output Disable (Note 6)	$t_{STR}$	External clock mode only, $C_{LOAD} = 100pF$			200	ns
SSTRB Rise to SCLK Rise (Note 6)	$t_{SCK}$	Internal clock mode only	0			ns

# 低電力、8チャンネル、 シリアル12ビットADC

MAX186/MAX188

## 標準動作特性



## 端子説明

端子	名称	機能
1~8	CH0~CH7	サンプリングするアナログ入力。
9	$V_{SS}$	負電源。-5V±5%またはAGNDに接続します。
10	$\overline{\text{SHDN}}$	3レベル・シャット・ダウン入力。 $\overline{\text{SHDN}}$ を“ロー”にすることで、MAX186/MAX188は電源電流10 $\mu\text{A}$ (max)までシャット・ダウンし、それ以外では完全に動作可能です。 $\overline{\text{SHDN}}$ を“ハイ”とすることで、リファレンス・バッファ・アンプは内部補償モードとなります。 $\overline{\text{SHDN}}$ をフローティングすると、リファレンス・バッファ・アンプは外部補償モードとなります。
11	VREF	アナログーデジタル変換用のリファレンス電圧。また、リファレンス・バッファ・アンプの出力でもあります (MAX186では4.096V、MAX188では、1.638×REFADJ)。外部補償モードの場合、グランド間とに4.7 $\mu\text{F}$ のコンデンサを追加してください。外部高精度リファレンスを用いる場合には、入力としても機能します。

## 端子説明(続き)

端子	名称	機能
12	REFADJ	リファレンス・バッファ・アンプの入力。リファレンス・バッファ・アンプをディセーブルするためには、REFADJをV <sub>DD</sub> に接続してください。
13	AGND	アナログ・グランド。シングルエンド変換時にはIN-入力となります。
14	DGND	デジタル・グランド。
15	DOUT	シリアル・データ出力。データは、SCLKの立下りエッジでクロックアウトされます。 $\overline{CS}$ が、“ハイ”の場合、ハイ・インピーダンスです。
16	SSTRB	シリアル・ストローブ出力。内部クロック・モードでは、MAX186/MAX188が変換を開始するとSSTRBは“ロー”となり、変換が終了すると“ハイ”になります。外部クロック・モードでは、MSB決定前に、SSTRBに1クロック期間“ハイ”パルスが出力されます。 $\overline{CS}$ が“ハイ”の場合、ハイ・インピーダンスです(外部モード時)。
17	DIN	シリアル・データ入力。データはSCLKの立上りエッジでクロックインされます。
18	$\overline{CS}$	アクティブ“ロー”のチップ・セレクト入力。 $\overline{CS}$ が“ロー”以外の場合には、データはDINにクロック入力されません。 $\overline{CS}$ が“ハイ”のとき、DOUTはハイ・インピーダンスとなります。
19	SCLK	シリアル・クロック入力。シリアル・インタフェースからデータを入出力するためのクロックです。外部クロック・モードでは、SCLKによって変換速度が決まります(デューティ比は45~55%です)。
20	V <sub>DD</sub>	正電源電圧、+5V±5%。

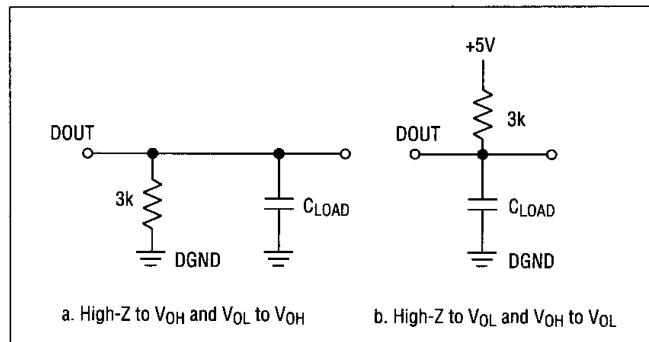


図1. イネーブル時間測定用負荷回路

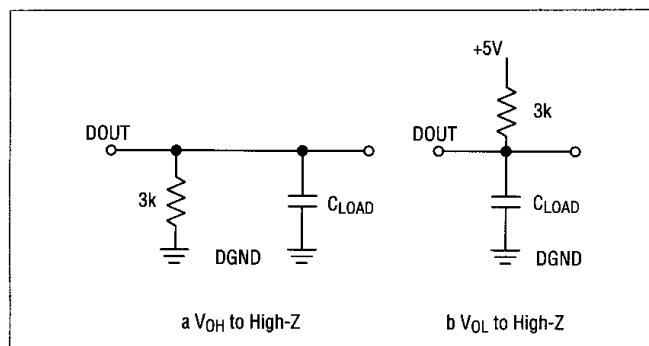


図2. ディセーブル時間測定用負荷回路

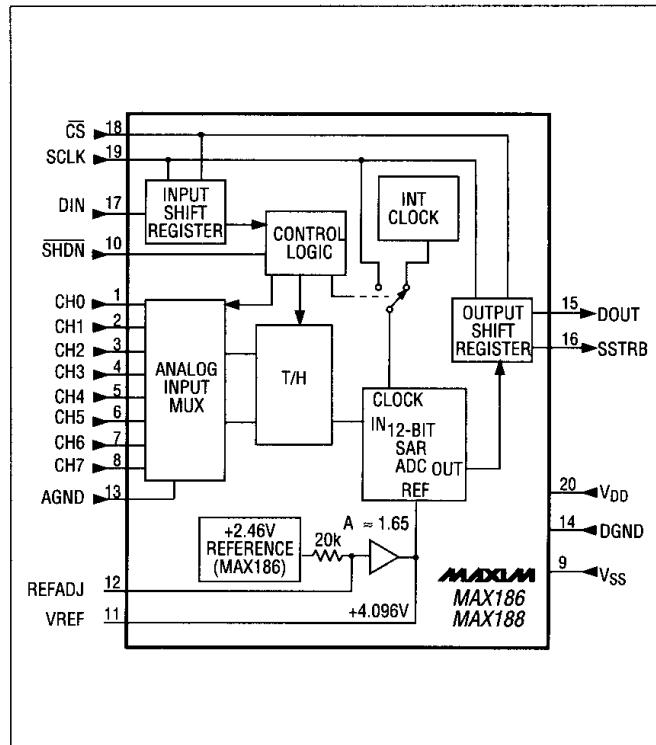


図3. ブロック図

# 低電力、8チャンネル、 シリアル12ビットADC

## 詳細

MAX186/MAX188は、アナログ信号を12ビットのデジタル出力に変換するために、逐次比較式の変換技術とトラック/ホールド(T/H)回路を備えています。柔軟性の高いシリアル・インタフェースにより、マイクロプロセッサと容易にインタフェースできます。外部ホールド・コンデンサは不要です。図3に、MAX186/MAX188のブロック図を示します。

## 疑似差動入力

ADC内のアナログ・コンパレータのサンプリング方式を、入力等価回路(図4)に示します。シングルエンド・モードでは、IN+は内部的にCH0~CH7に切り替わり、IN-はAGNDに切り替わります。差動モードでは、IN+とIN-は、CH0/CH1、CH2/CH3、CH4/CH5及びCH6/CH7の各組のいずれかから選択されます。表3と表4に、チャンネルの構成を示します。

差動モードでは、IN-とIN+は、内部的にアナログ入力のいずれか一つに切り替わります。この構成は、IN+上の信号のみがサンプルされる疑似差動効果をもたらします。変換の実行中、リターン側(IN-)はAGNDに対して±0.5LSB(最良の結果を得るには±0.1LSB)以内に安定している必要があります。これは、0.1μFのコンデンサを、AIN-と(選択されたアナログ入力それぞれについて)AGND間に接続することで実現できます。

アキュイジション・インターバルの間、正の入力(IN+)がコンデンサC<sub>HOLD</sub>を充電するように接続されます。このアキュイジション・インターバルは、3つのSCLKサイクルの幅をもち、入力制御ワードの最終ビットが入力された後のSCLKの立下りエッジにおいて終了します。アキュイジション・インターバルの終了時に、T/Hスイッチはオープンとなり、IN+の信号のサンプルとして、C<sub>HOLD</sub>内に電荷が残ります。

変換インターバルは、入力マルチプレクサがC<sub>HOLD</sub>を正入力(IN+)から負入力(IN-)に切り替えた時点から開始します。シングルエンド・モードではIN-はAGNDです。これによって、コンパレータ入力のノードZEROがアンバランスになります。容量性のDACは変換サイクルの残りの期間に12ビット分解能の制限内でノードZEROをOVに復元します。この動作は、C<sub>HOLD</sub>からバイナリの重みをもつ容量性DACへの16pF×[(V<sub>IN+</sub>) - (V<sub>IN-</sub>)]の電荷の転送と等価であり、アナログ入力信号のデジタル表現となります。

## トラック/ホールド

8ビットの制御ワードの5番目のビットがシフト入力された後のクロックの立下りエッジにおいて、T/Hはトラック・モードに入ります。そしてT/Hは、制御ワードの8番目のビットがシフト入力された後のクロックの立下りエッジにおいてホールド・モードになります。コンバータがシ

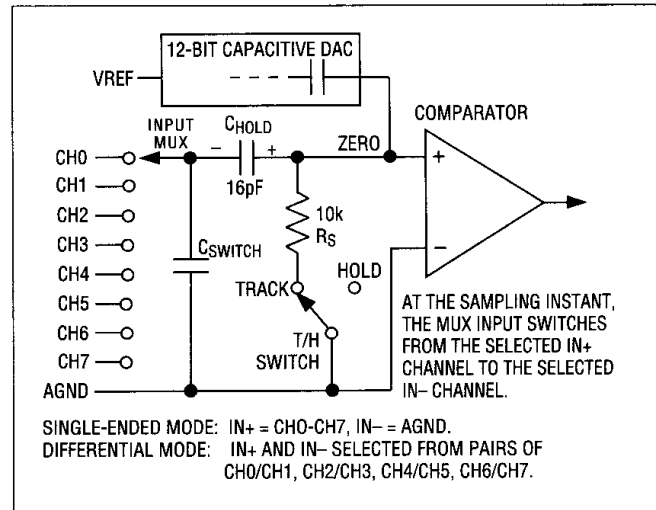


図4. 入力等価回路

ングルエンド入力に設定されている場合、IN-はAGNDに接続され、コンバータは「+」の入力をサンプルします。コンバータが差動モードに設定されている場合、IN-は「-」の入力に接続され、|IN+ - IN-|の差がサンプルされます。変換の終了時に、正入力は再びIN+に接続され、C<sub>HOLD</sub>は入力信号によって充電されます。

T/Hが入力信号を収集するために必要な時間は、その入力容量がどれだけ早く充電されるか、によって決まります。入力信号のソース・インピーダンスが高い場合、アキュイジション時間は長くなり、変換の間の時間も長くする必要があります。アキュイジション時間は、次の式で算出することができます。

$$t_{AZ} = 9 \times (R_S + R_{IN}) \times 16pF$$

ここで、R<sub>IN</sub> = 5kΩ、R<sub>S</sub> = 入力信号のソース・インピーダンス、t<sub>AZ</sub>は決して1.5μs以下にはなりません。ソース・インピーダンスが5kΩ以下の場合、ADCのAC性能には大きな影響を与えません。図5に示すように、入力コンデンサがアナログ入力に接続されている場合には、ソース・インピーダンスをより高くすることができます。入力コンデンサは入力ソース・インピーダンスとともにRCフィルタを構成し、ADCの信号帯域幅を制限することに注意してください。

## 入力帯域幅

ADCの入力トラッキング回路は4.5MHzの小信号帯域幅をもつため、アンダーサンプリング技法を用いることで、高速な過渡現象のデジタルサイズや、ADCのサンプリング・レートを越える帯域幅の周期的信号の測定が可能です。必要な周波数帯域内にエイリアスを生じる高周波信号を除くためには、アンチエイリアシング・フィルタの使用をお勧めします。



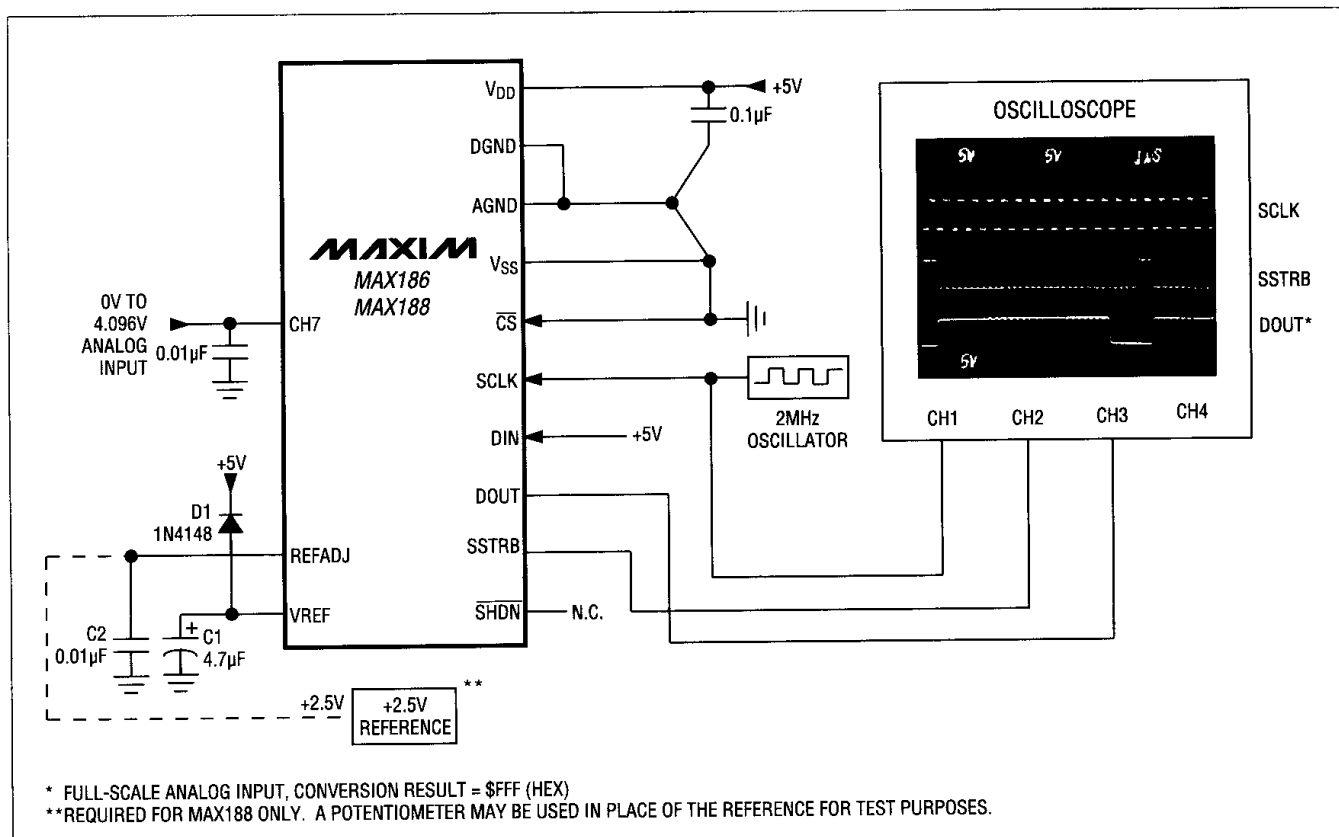


図5. 簡単な観察用のテスト回路

## アナログ入力レンジと入力保護

アナログ入力を  $V_{DD}$  と  $V_{SS}$  にクランプする内部保護ダイオードにより、チャンネル入力ピンは損傷することなく、 $V_{SS}-0.3V \sim V_{DD}+0.3V$  の範囲でスイングすることができます。しかしながら、フルスケール近傍での正確な変換を行うためには、入力は  $V_{DD}$  を 50mV 以上越えず、 $V_{SS}$  よりも 50mV 以上下回らないようにしてください。

アナログ入力が電源電圧を 50mV 以上越える場合、過度の電流によりオンチャンネル変換精度が損なわれるため、オフチャンネルの保護ダイオードを 2mA 以上フォワード・バイアスしないでください。

フルスケール入力電圧は  $V_{REF}$  における電圧に依存します。表 1a と 1b を参照してください。

## 簡単な観察

MAX186/MAX188 のアナログ性能を速やかに評価するためには、図 5 の回路を用います。MAX186/MAX188 には、各変換に先だって DIN に制御バイトを書き込む必要があります。DIN を +5V に接続し、制御バイト \$FF (16進) を入力します。この制御バイトは、変換インターバルにおけるパワーダウン

表 1a. ユニポーラ・フルスケール及びゼロ・スケール

Reference	Zero Scale	Full Scale
Internal Reference (MAX186 only)	0V	+4.096V
External Reference at REFADJ	0V	$V_{REFADJ} \times A^*$
at VREF	0V	VREF

\*  $A = 1.678$  for the MAX186,  $1.638$  for the MAX188

表 1b. バイポーラ・フルスケール、ゼロ・スケール及び負のフルスケール

Reference	Negative Full Scale	Zero Scale	Full Scale
Internal Reference (MAX186 only)	-4.096V/2	0V	+4.096V/2
External Reference at REFADJ	$-1/2 V_{REFADJ} \times A^*$	0V	$+1/2 V_{REFADJ} \times A^*$
at VREF	-1/2 VREF	0V	+1/2 VREF

\*  $A = 1.678$  for the MAX186,  $1.638$  for the MAX188

を伴わない、外部クロック・モードでの、CH7に対するシングルエンドのユニポーラ変換をトリガします。外部クロック・モードでは、DOOUTから12ビットの変換結果の最上位ビットが出力される前に、SSTRB出力から1クロック期間の“ハイ”パルスが出力されます。CH7へのアナログ入力を変化させると、DOOUTからのビット・シーケンスが変化するのはです。1回の交換につき、全体で15クロック・サイクルが必要です。SSTRB及びDOOUT出力のすべての遷移は、SCLKの立下りエッジにおいて起こります。

### 変換を開始する方法

MAX186/MAX188の変換は、DINに制御バイトを与えることで開始します。CSが“ロー”の状態、SCLKの各立上がりエッジに同期してDINからMAX186/MAX188の内部シフト・レジスタ内にビットが入力されます。CSが“ロー”となった後の、最初のロジック“1”のビットが、制御バイトのMSBと見なされます。この「スタート」ビット以前に、DINから“0”ビットがいくら入力されても影響はありません。MAX186/MAX188は、MicrowireとSPIデバイスに完全にコン

パチブルです。SPIを用いる場合、SPI制御レジスタに、正しいクロック極性とサンプリング・エッジを指定してください。(CPOL=0及びCPHA=0)。MicrowireとSPIはいずれも、バイトの送信と受信を同時に行います。標準動作回路を用いた、最も単純なソフトウェア・インタフェースでは、わずか3バイトの転送により変換を行うことができます(ADCを設定するための1バイトと、12ビットの変換結果を転送するための2バイト)。

### 例：簡単なソフトウェア・インタフェース例

CPUのシリアル・インタフェースが、CPU自体がシリアル・クロックを生成するマスタ・モードで動作していることを確認してください。100kHz～2MHzの範囲でクロック周波数を選択してください。

- 1) 外部クロック・モード用の制御バイト(これをTB1と呼びます)を設定します。TB1は、バイナリで1XXXXX11という形式をもちます。ここで、Xは特定のチャンネルと変換モードを表します。

表2. 制御バイトの形式

Bit 7 (MSB)	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (LSB)				
START	SEL2	SEL1	SEL0	UNI/BIP	SGL/DIF	PD1	PD0				
ビット	名称	機能									
7(MSB)	START	CSがローになった後の最初のロジック“1”が制御バイトの開始を定義します。									
6	SEL2	これらの3つのビットにより、8つのチャンネルからどのチャンネルを変換するかを選択します。表3、4参照。									
5	SEL1										
4	SEL0										
3	UNI/BIP	1=ユニポーラ、0=バイポーラ。ユニポーラ又はバイポーラ変換モードを選択します。ユニポーラモードでは、0～VREFのアナログ入力信号が変換できます。バイポーラモードでは、信号範囲は-VREF/2～+VREF/2です。									
2	SGL/DIF	1=シングルエンド、0=差動。シングルエンドまたは差動変換を選択します。シングルエンドモードでは、入力信号電圧はAGNDを基準とします。差動モードでは2つのチャンネル間の電圧差が測定されます。表3、4参照。									
1	PD1	クロックとパワーダウンモードを選択。									
0(LSB)	PD0										
								PD1	PD0	モード	
								0	0	完全パワーダウン ( $I_0=2\mu A$ )	
								0	1	高速パワーダウン ( $I_0=30\mu A$ )	
		1	0	内部クロックモード							
		1	1	外部クロックモード							

表3. シングルエンド・モードでのチャンネル選択 (SGL/DIFF=1)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7	AGND
0	0	0	+								-
1	0	0		+							-
0	0	1			+						-
1	0	1				+					-
0	1	0					+				-
1	1	0						+			-
0	1	1							+		-
1	1	1								+	-

表4. 差動モードでのチャンネル選択 (SGL/DIFF=0)

SEL2	SEL1	SEL0	CH0	CH1	CH2	CH3	CH4	CH5	CH6	CH7
0	0	0	+	-						
0	0	1			+	-				
0	1	0					+	-		
0	1	1							+	-
1	0	0	-	+						
1	0	1			-	+				
1	1	0					-	+		
1	1	1							-	+

- CPUの汎用I/Oラインを用いて、MAX186/MAX188の $\overline{CS}$ を“ロー”とします。
- TB1を送信すると同時に、1バイトのデータ (RB1と呼びます) を受信します。RB1は無視します。
- 全0バイト (\$00 HEX) を送信し、同時にRB2を受信します。
- 全0バイト (\$00 HEX) を送信し、同時にRB3を受信します。
- MAX186/MAX188の $\overline{CS}$ を、“ハイ”とします。

図6に、以上のシーケンスのタイミングを示します。バイトRB2とRB3は、先頭に1ビットの0と、末尾に3ビットの0を伴った変換結果を含んでいます。総合的な変換時間はシリアル・クロック周波数と8ビット転送間の間隔時間によって決まります。T/Hに過度の電圧降下が生じないように、総合変換時間は120 $\mu$ s以内としてください。

### デジタル出力

ユニポーラ入力モードでは、出力はストレート・バイナリです (図15参照)。バイポーラ入力では、出力は2の補数形式 (図16参照) です。データは、SCLKの立下りエッジに同期して、MSBから先に出力されます。

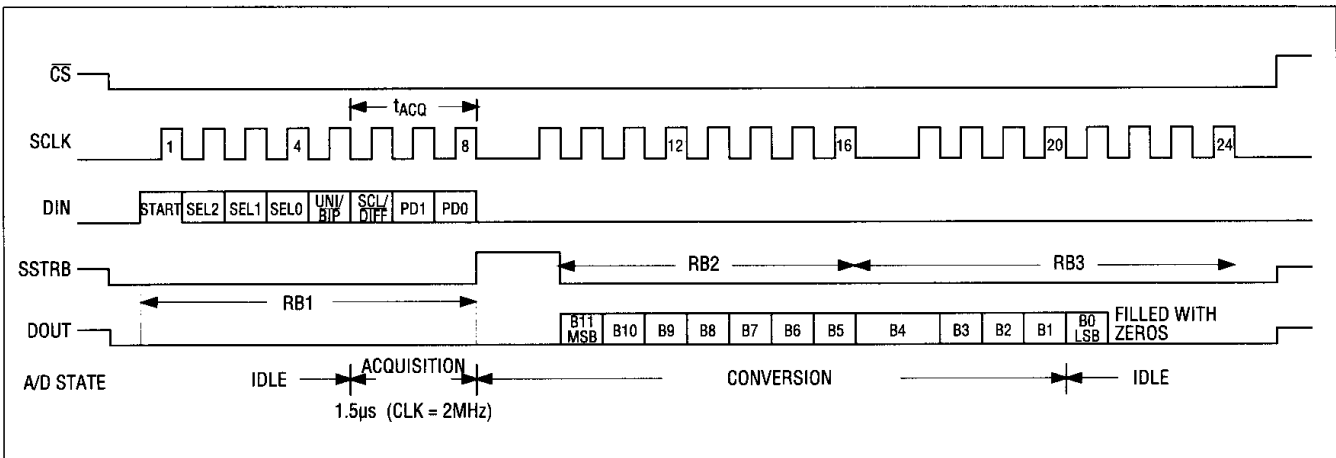


図6. 24ビット外部クロック・モードの変換タイミング (SPI、QSPI及びMicrowire コンパチブル)

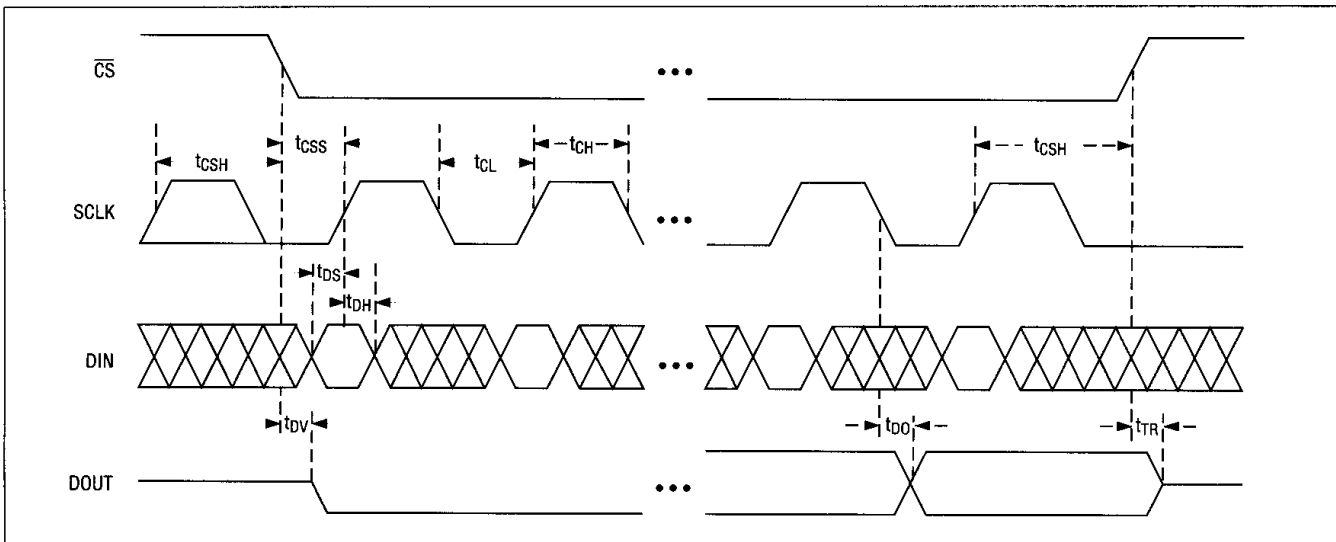


図7. シリアル・インタフェース・タイミングの詳細

### 内部及び外部クロック・モード

MAX186/MAX188は、逐次比較式の変換を実行するために外部シリアル・クロックと内部クロックのいずれも用いることができます。いずれのクロック・モードにおいても、MAX186/MAX188のデータの出入力は外部クロックに同期して行なわれます。T/Hは、DINに制御バイト内の最後の3ビットが入力されるときにデータを捉えます。制御バイト内のPD1ビット及びPD0ビットによってクロック・モードをプログラムすることができます。図7～10に、いずれのモードにおいても共通のタイミング特性を示します。

### 外部クロック

外部クロック・モードでは、外部クロックはデータの出入力だけではなく、アナログーデジタル変換ステップの駆

動にも用いられます。制御バイトの最後のビットが入力された後、SSTRBは1クロック期間の“ハイ”パルスを出力します。そして、次の12回のSCLKの立下りエッジに同期して、DOUTに逐次比較によって判定されたビットが現れます(図6参照)。CSが“ハイ”になると、SSTRBとDOUTはハイ・インピーダンス状態になり、次のCSの立下りエッジの後にSSTRBはロジック“ロー”を出力します。図8に、外部クロック・モードでのSSTRBのタイミングを示します。

変換はある最小時間内に完結しなければならず、そうでなければサンプルホールド・コンデンサでのドループにより変換結果は劣化します。1クロック期間が10µsを越える場合や、シリアル・クロック割込みによって変換インターバルが120µsを越える場合には、内部クロック・モードを用いてください。

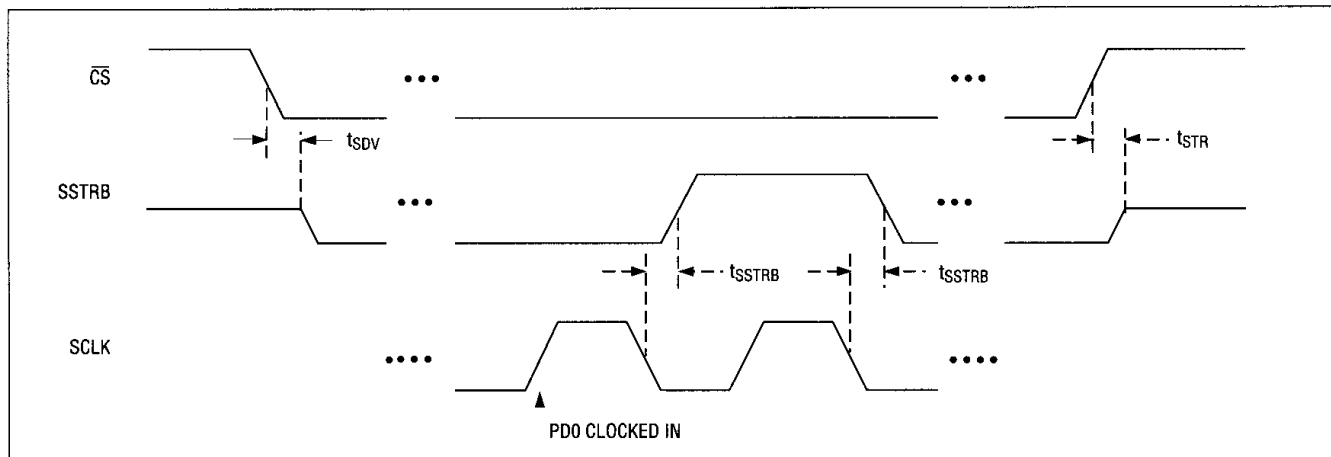


図8. 外部クロック・モードでのSSTRBの詳細タイミング

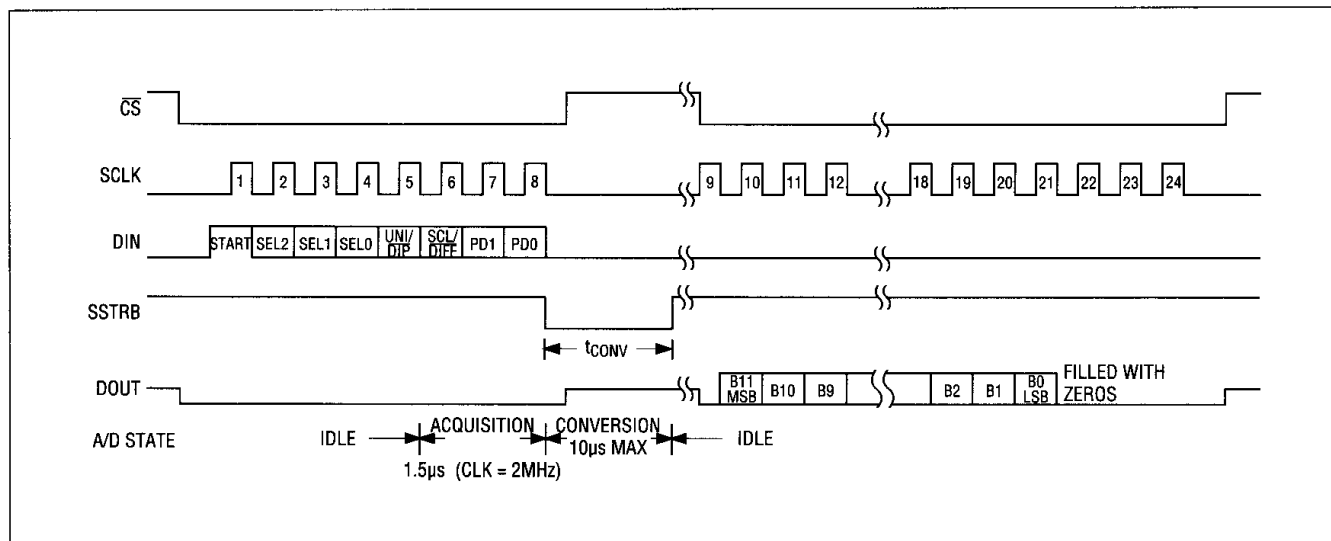


図9. 内部クロック・モード・タイミング

### 内部クロック

内部クロック・モードでは、MAX186/MAX188は変換クロックを内部で発生します。このモードでは、マイクロプロセッサはSAR変換クロックを駆動する必要がなく、都合のよい時点で、0から標準的に10MHzの範囲内の任意のクロック・レートで変換結果を読み出すことが可能になります。変換が開始した時点でSSTRBは“ロー”となり、変換が終了すると“ハイ”になります。SSTRBは最大で10µsの間“ロー”となり、最良のノイズ性能を得るためには、この間SCLKを“ロー”に保ってください。変換が行なわれている間、内部レジスタにデータが格納されます。変換が終了した後、任意の時点でSCLKを与えこのレジスタ内のデータを読み出すことができます。SSTRBが“ハイ”となった後、

次のクロックの立下りエッジにおいて変換結果のMSBがDOUTに現れ、それに引き続いて残りのビットがMSBから順に現れます(図9参照)。変換が開始した後は、CSを“ロー”レベルに保持する必要はありません。CSを“ハイ”とすることで、MAX186/MAX188へのデータ入力防止でき、DOUTはスリーステート状態になりますが、内部クロック・モードでは、SSTRBはCSを“ハイ”としてもハイ・インピーダンス状態にはなりません。

図10に、内部クロック・モードでのSSTRBのタイミングを示します。内部クロック・モードでのMAX186/MAX188のデータのシフト入出力は4.0MHz以上のクロックで行うことが可能であるため、最小アキュイジション時間、 $t_{AZ}$ は1.5µs以上保たれます。

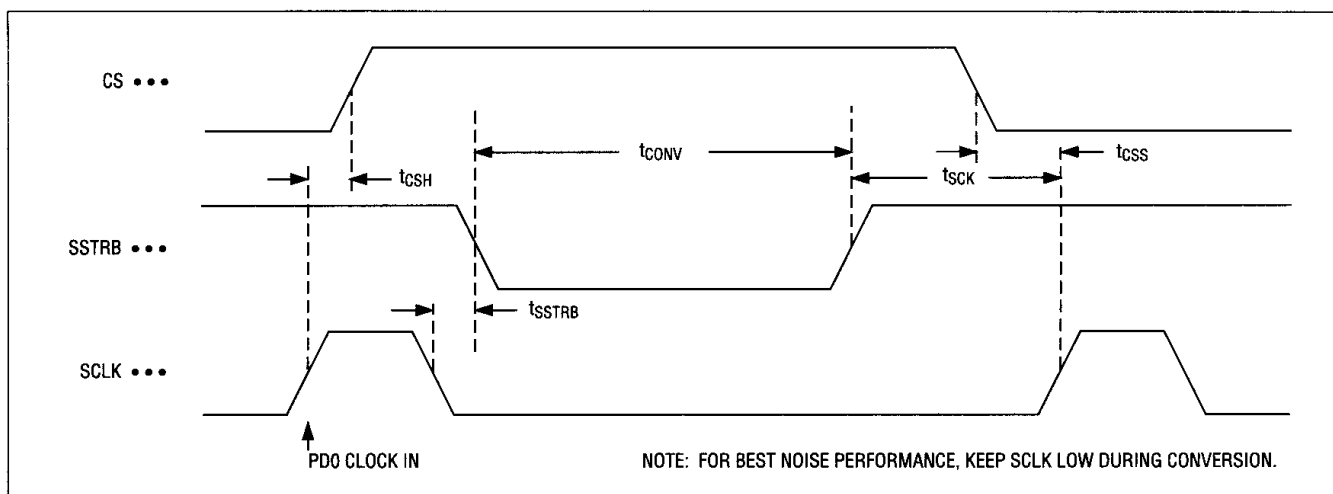


図10. 内部クロック・モードでのSSTRBの詳細タイミング

### データのフレーミング

MAX186/MAX188の変換が $\overline{CS}$ の立下りエッジによって始まることはありません。DINに入力される最初のロジック“ハイ”はスタート・ビットと解釈され、制御バイトの先頭ビットとなります。変換は、制御バイトの8番目のビット(PD0)がDINに入力された後の、制御バイトの8番目のビット(PD0)がDINに入力された後の、SCLKの立下りエッジで開始します。スタート・ビットは次のように定義されています。

コンバータがアイドル状態 ( $V_{CC}$ 投入直後など) にあるときに、 $\overline{CS}$  = “ロー” 状態でDINに与えられた最初のロジック“ハイ”ビット。

または、

変換進行中のビット5がDOUTピンから出力された後の、DINに与えられた最初のロジック“ハイ”ビット。

$\overline{CS}$ の立下りエッジによって、ビット5 (B5)の前にスタート・ビットが与えられた場合、その時点で進行中の変換は終了し新しい変換が開始します。このため、MAX186/MAX188は、最高で1変換あたり15クロックで実行することができます。図11aに、外部クロック・モードにおいて15SCLKサイクルごとに変換を実行するためのシリアル・インタフェース・タイミングを示します。 $\overline{CS}$ がローでSCLKが連続している場合には、最初に16個のゼロをクロックインすることでスタートビットを確実にしてください。

ほとんどのマイクロコントローラでは、8SCLKの整数倍のクロック数で変換が行なわれる必要があり、マイクロコントローラによってMAX186/MAX188を駆動する際の最高速度は、標準的に1変換あたり16クロック・サイクルです。図11bに、外部クロック・モードにおいて16SCLKサイクル毎に変換を実行するために必要なシリアル・インタフェース・タイミングを示します。

### アプリケーション情報

#### パワーオン・リセット

電源投入時に $\overline{SHDN}$ が“ロー”でない場合、内部パワーオン・リセット回路はMAX186/MAX188を内部クロック・モードで起動し、SSTRBを“ハイ”とし、変換が可能な状態にします。電源が安定した後、100 $\mu$ sの内部リセット時間が必要なため、この期間には変換を実行しないでください。電源投入時にSSTRBは“ハイ”となり、その後 $\overline{CS}$ が“ロー”になるとDIN上の最初のロジック“1”はスタート・ビットとして解釈されます。変換が行なわれるまで、DOUTは0をシフト出力し続けます。

#### リファレンス・バッファの補償

$\overline{SHDN}$ ピンはシャットダウン機能に加え、内部または外部補償の選択も行います。この補償は、電源投入時に要する時間及び最大変換速度に影響します。補償の有無に関らず、サンプルホールドでのドループのために最小クロック・レートは100kHzです。

外部補償を選択するためには、 $\overline{SHDN}$ ピンをフロートにします。VREFに4.7 $\mu$ Fのコンデンサを接続している標準動作回路を参照してください。4.7 $\mu$ Fまたはそれ以上の値によって安全性が保証され、2MHzの最大クロック速度での変換動作が可能となります。外部補償を行うと電源投入時に要する時間が長くなります(パワーダウン・モードの選択及び表5を参照してください)。

VREFに接続する外付けコンデンサが不要な内部補償は、 $\overline{SHDN}$ を“ハイ”とすることで選択します。内部補償を選択すると、電源投入時の時間は最短となりますが、この補償は外部クロックの使用時にのみ選択可能であり、最大クロック・レートは400kHzに制限されます。

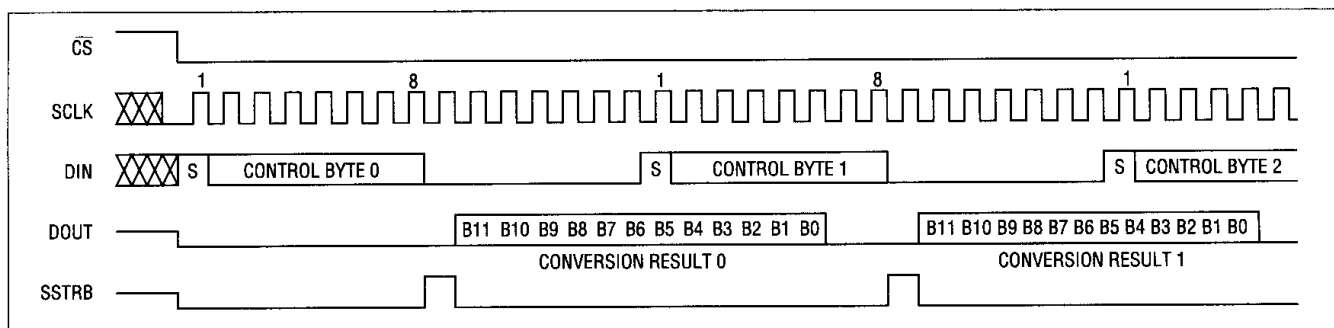


図11a. 外部クロック・モード、15クロック/変換のタイミング

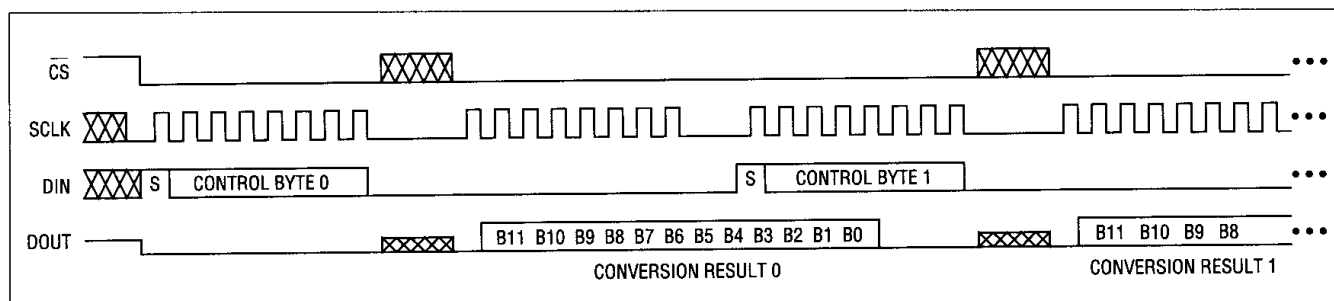


図11b. 外部クロック・モード、16クロック/変換のタイミング

## パワーダウン

### パワーダウン・モードの選択

変換の合間にコンバータを低電流シャットダウン状態とすることで、消費電力を抑えることができます。SHDN = “ハイ” もしくはフローティング時のDINへの制御バイトのビット7と8により、完全パワーダウンと高速パワーダウンの2つのモードを選択することができます(表2及び6を参照)。任意の時点でSHDN = “ロー” とすることで、コンバータを完全にシャットダウンすることができます。SHDNはDINへの制御バイトのビット7と8に優先します(表7参照)。

完全パワーダウン・モードは、自己消費電流を流すチップ上のすべての機能をオフとし、 $I_{DD}$ と $I_{SS}$ を標準で $2\mu A$ まで抑えます。

高速パワーダウン・モードは、バンドギャップ・リファレンス以外の回路をオフにします。高速パワーダウン・モードでは電源電流は $30\mu A$ となります。パワーアップ時間は内部補償モードでは $5\mu s$ まで短縮されます。

いずれのシャットダウン・モードにおいてもシリアル・インタフェースは動作可能ですが、ADCは変換を行いません。表5に、リファレンス・バッファ補償モード及びパワーダウン・モードの選択による、パワーアップ遅延と最大サンプル・レートへの影響を示します。

外部補償モードでは、 $4.7\mu F$ の補償コンデンサを接続した状態(コンデンサが完全に放電している場合)で20msです

( $33\mu F$ のコンデンサを接続している場合には200ms)。高速パワーダウンでは、シャットダウン時に1/2LSB以上放電しない低漏れ電流コンデンサを用いることで、スタートアップ時間を短縮することができます。シャットダウン中はこのコンデンサが、リファレンス( $1.5\mu A$  typ)及びパワーアップ時の過度電流を供給する必要があります。

図12a及び12bに、外部及び内部クロック・モードでのさまざまなパワーダウン・シーケンスを示します。

### ソフトウェア・パワーダウン

ソフトウェア・パワーダウンは、制御バイトのPD1ビットとDP0ビットによって開始します。表6に示すように、PD1とPD0はクロック・モードも規定します。ソフトウェア・パワーダウンが開始されると、ADCは最後に指定されたクロック・モードで変換が終了するまで動作を続けます。そして、ADCは低自己消費電流状態にパワーダウンします。内部クロック・モードでは、インタフェースは依然としてアクティブであり、MAX186/MAX188がソフトウェア・パワーダウン状態に入っている場合、変換結果を出力します。

DIN上の最初のロジック“1”はスタート・ビットとして解釈され、MAX186/MAX188はパワーダウン・モードを終了します。スタート・ビットに続くデータ入力ワードや制御バイトによりクロック、パワーダウン・モードが決まります。例えば、DINワードがPD1=1を含んでいる場合、チップはパワーアップ状態を保ちます。PD1=0の場合、変換を1度実行した後に再度パワーダウン状態に戻ります。

# 低電力、8チャンネル、 シリアル12ビットADC

MAX186/MAX188

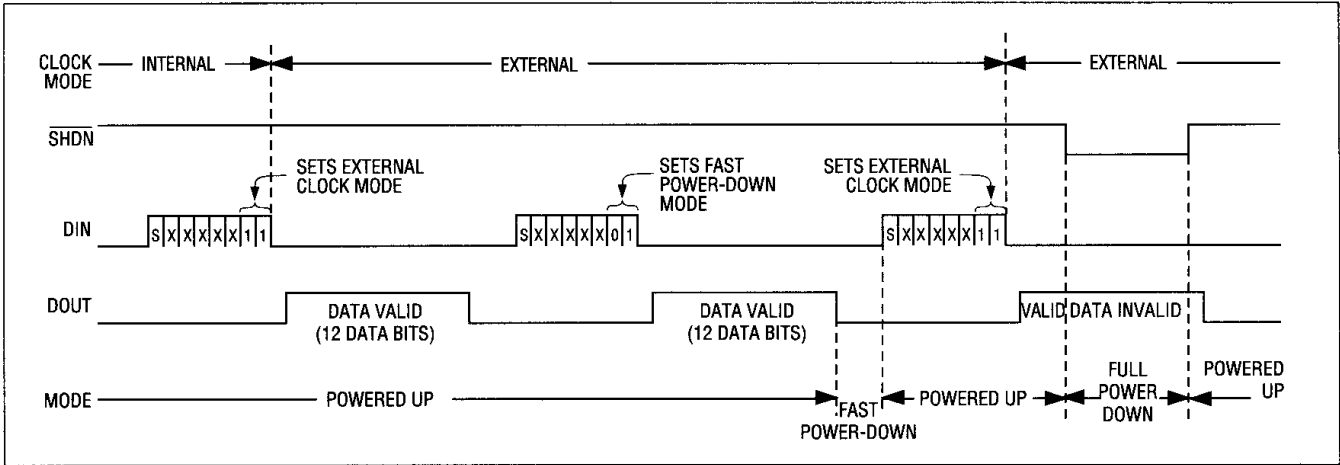


図12a. パワーダウン・モードのタイミング図、外部クロック・モード

表5. 標準的なパワーアップ遅滞時間

リファレンス バッファ	リファレンス バッファ 補償モード	VREF コンデンサ ( $\mu$ F)	パワー ダウン モード	パワーアップ 遅滞 (秒)	最大 サンプリングレート (ksps)
イネーブル	内部		高速	5 $\mu$	26
イネーブル	内部		完全	300 $\mu$	26
イネーブル	外部	4.7	高速	図14cを参照	133
イネーブル	外部	4.7	完全	図14cを参照	133
ディセーブル			高速	2 $\mu$	133
ディセーブル			完全	2 $\mu$	133

表6. ソフトウェア・シャットダウンとクロック・モード

PD1	PD0	モード
1	1	外部クロックモード
1	0	内部クロックモード
0	1	高速パワーダウンモード
0	0	完全パワーダウンモード

表7. ハードワイヤードのシャットダウン・モードと  
補償モード

SHDNの 状態	デバイス モード	リファレンス バッファ補償
1	イネーブル	内部補償
フローティング	イネーブル	外部補償
0	完全パワーダウン	—



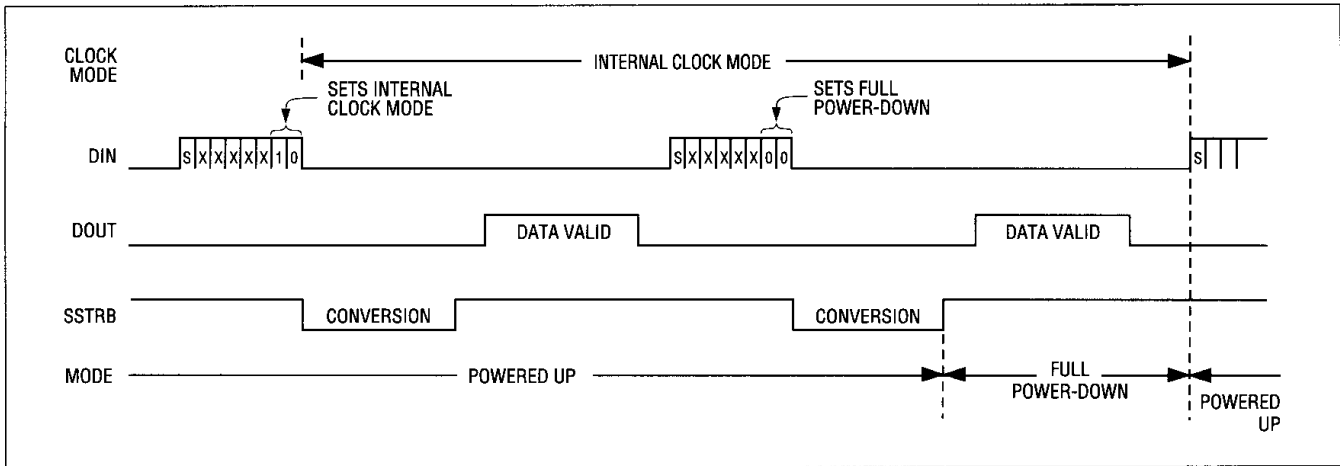


図12b. パワーダウン・モードのタイミング図、内部クロック・モード

### ハードウェア・パワーダウン

SHDNピンにより、コンバータは完全パワーダウン・モードに入ります。ソフトウェア・シャットダウン・モードとは異なり、変換は完全に完了しません。変換動作はSHDNが“ロー”となった瞬間に停止します。外部リファレンスを用いている場合、パワーアップ遅延はなく、シャットダウンも起こりません。SHDNピンは、リファレンス補償の選択(内部または外部)にも用います(表7を参照)。

### パワーダウン・シーケンス

MAX186/MAX188の自動パワーダウン・モードにより、最大サンプル・レート以下での動作時にはかなりの電力を節約できます。以下に、さまざまなパワーダウン・シーケンスを解説します。

### 500変換/チャンネル/秒までの、最小電力動作

以下に、2つの異なるパワーダウン・シーケンスを示します。クロック・レート、補償モード及びパワーダウン・モードの異なる組合せにより、他の応用でも最小の消費電力動作が可能です。

図14aは、MAX186で完全パワーダウン・モードと内部リファレンス補償を用いた1チャンネルまたは8チャンネル変換における消費電力を示しています。REFADJにおける0.01μFのバイパス・コンデンサは、内部の20kΩリファレンス抵抗と共に、0.2msの時定数をもつRCフィルタを形成します。完全な12ビット精度を実現するためには、この時定数の10倍の2msのパワーアップ時間が必要です。完全パワーアップではなく高速パワーダウン (FASTPD) モードにおいて2ms待つと、10倍またはそれ以上に抑えることができます。これは、図13に示すシーケンスを用いることで実現できます。

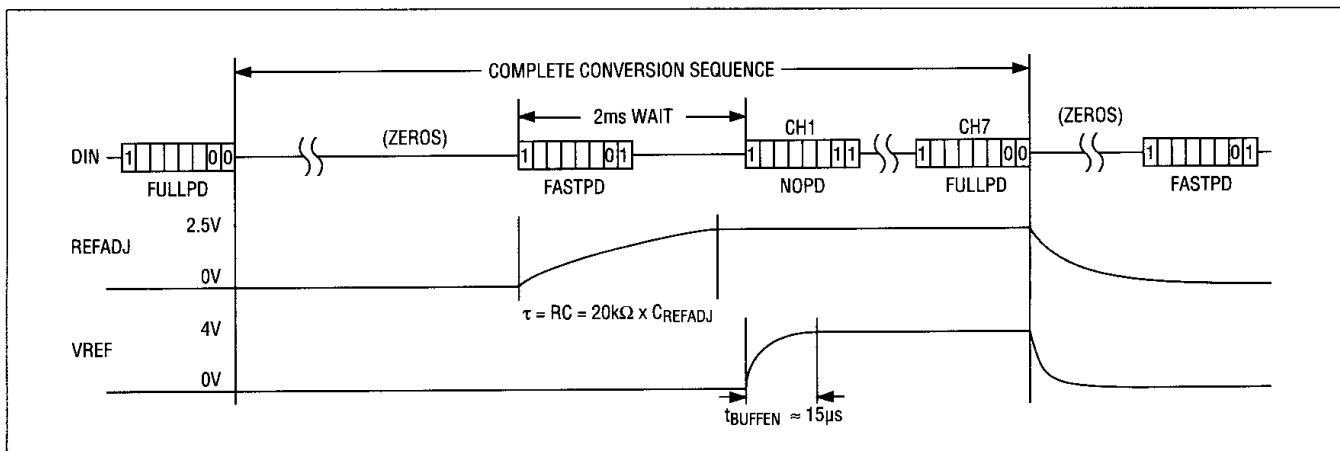


図13. MAX186の完全パワーダウン/高速パワーダウン時のパワーアップ・シーケンス

# 低電力、8チャンネル、 シリアル12ビットADC

MAX186/MAX188

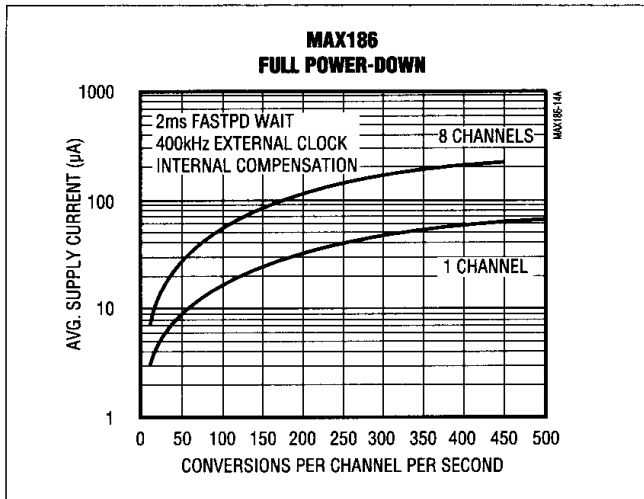


図14a. MAX186の完全パワーダウン、400kHzクロックにおける電源電流 対 サンプル・レート/秒

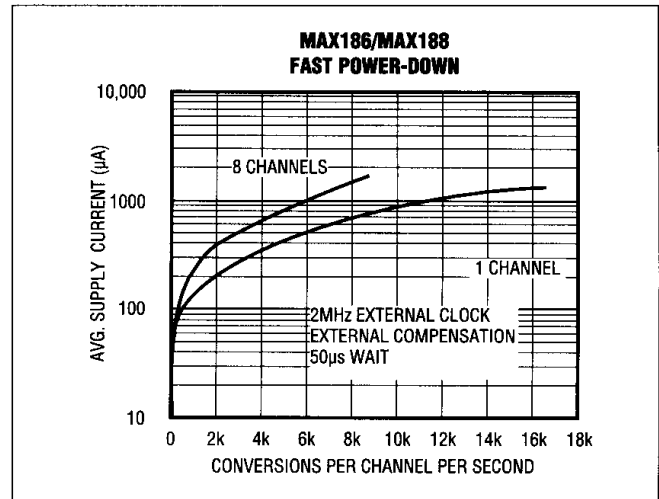


図14b. MAX186/MAX188の高速パワーダウン、2MHzクロックにおける電源電流 対 サンプル・レート/秒

## より高いスループットでの最小限電力動作

図14bに、高速パワーダウンでの1または8チャンネル変換における外部リファレンス保証動作時の消費電力を示します。外部補償用の4.7μFコンデンサにより、パワーアップ後に50μs待つ必要があります、これはダミーの変換の後の75個のアイドル・サイクルに相当します。この回路は、高速なマルチチャンネル変換と可能なかぎり小さい消費電力の組合せを実現しています。完全パワーダウン・モードを用いれば、MAX186/MAX188が長期間にわたり非アクティブとなる応用では電力をより節約できますが、断続的に高速な連続変換を行う必要がある応用には不向きです。

## 外部及び内部リファレンス

MAX186は内部または外部リファレンスを用いることができますが、MAX188では外部リファレンスが必須です。標準動作回路内のダイオードD1は、正規のスタートアップを保証します。あらゆる標準的な信号ダイオードを用いることができます。外部リファレンスは、いずれのデバイスにおいてもVREFピン、あるいは、REFADJピンのいずれかに直接接続することができます。

MAX186とMAX188のいずれにおいても、内部バッファはVREFに4.096Vを供給するように設計されています。MAX186が内蔵するトリム済みの2.46Vリファレンスは、1.678のゲインでバッファされています。MAX188のバッファは、REFADJでの外部2.5VリファレンスをVREFにおいて4.096Vとするために、バッファ・ゲイン1.638にトリムされています。

## MAX186内部リファレンス

MAX186の内部リファレンスを用いる場合のフルスケール・レンジは、ユニポーラ入力時には4.096V、バイポーラ入力時には±2.048です。内部リファレンスの電圧は、図17に示すリファレンス調整回路を用いて、±1.5%の範囲で調整可能です。

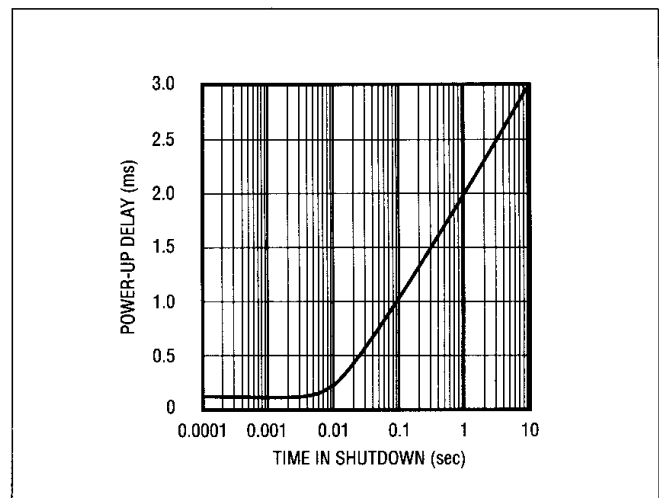


図14c. 標準パワーアップ遅滞 対 シャットダウン時間

## 外部リファレンス

MAX186とMAX188いずれにおいても、外部リファレンスを内部バッファ・アンプの入力(REFADJ)または出力(VREF)のいずれかに接続することができます。REFADJの入力インピーダンスの標準値は、MAX186で20kΩ、内部リファレンスが省略されたMAX188では100kΩ以上です。VREFのDC電流についてのインピーダンスは最小で12kΩです。変換の間、VREFに接続された外部リファレンスは350μA以上のDC負荷電流を供給できる必要があります。出力インピーダンスは10Ω以下である必要があります。リファレンスがより高い出力インピーダンスをもつか、ノイズが大きい場合、VREFピンの近くで4.7μFのコンデンサを用いてバイパスしてください。

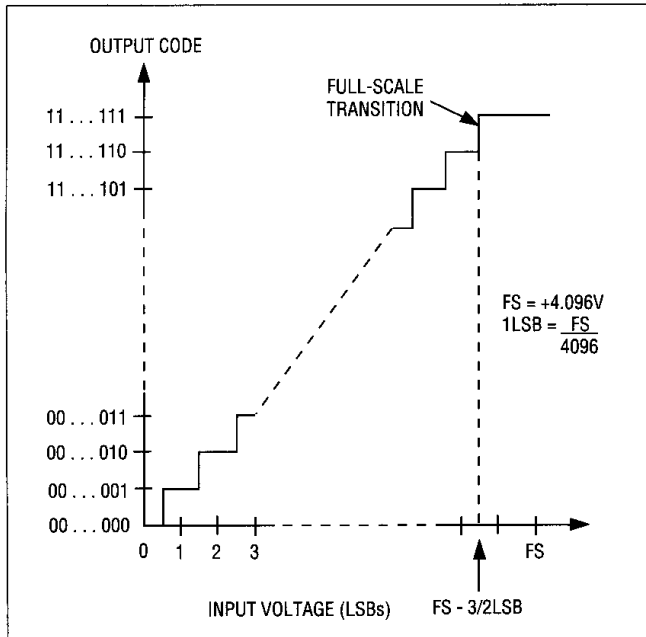


図15. MAX186/MAX188のユニポーラ伝達関数、4.096V=フルスケール

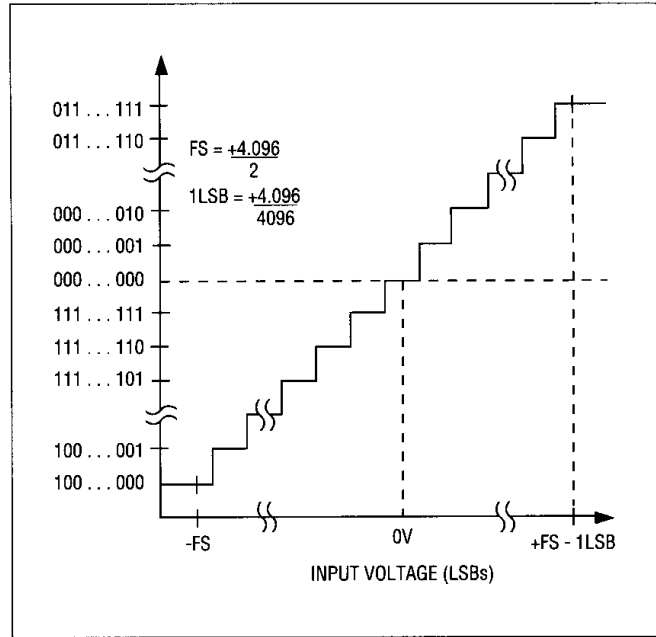


図16. MAX186/MAX188のバイポーラ伝達関数、4.096V=フルスケール

バッファ付きのREFAEJ入力を用いることにより、リファレンスの外部でのバッファリングが不要になります。VREF入力に直接接続する場合、REFADJピンをV<sub>DD</sub>に結線することで内部バッファの動作を禁止してください。

### 伝達関数とゲイン調整

図15に、ユニポーラ入出力(I/O)での公衆伝達関数を示します。図16に、バイポーラ入出力での伝達関数を示します。コード遷移は、連続する整数LSB値の中間で発生します。出力コーディングはバイナリであり、ユニポーラ動作時には1LSB=1.00mV(4.096V/4096)、バイポーラ動作時には1LSB=1.00mV((4.096V/2 - 4.096V/2)/4096)です。

図17のMAX186リファレンス調整回路は、内部リファレンスを用いる応用においてADCゲインを調整する方法を示しています。この回路は±1.5%(±65LSB)のゲイン調整レンジを与えます。

### レイアウト、グラウンド、バイパス処理

最良の性能を得るためにはプリント回路基盤を用いてください。ワイヤラップ基盤は避けてください。基盤レイアウト時には、デジタル信号ラインとアナログ信号ラインを分離してください。アナログ及びデジタル(特にクロック)ラインが平行にならないようにし、ADCパッケージの下にデジタル・ラインを配線しないでください。

図18に推奨システム・グラウンドの接続を示します。単一ポイントのアナログ・グラウンド(「スター」グラウンド・ポイント)をデバイスのAGNDに配置し、ロジック・グラウンドとは

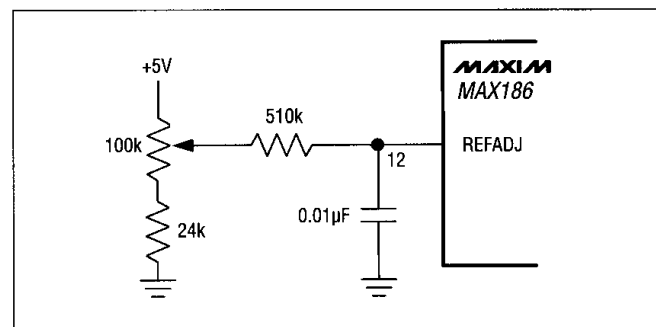


図17. MAX186リファレンス調整回路

別にしてください。他のアナログ・グラウンド及びDGNDはこのグラウンドに接続してください。他のデジタル・システム・グラウンドはこのスター・グラウンドに接続しないでください。スター・グラウンドから電源へのグラウンド・リターンは、ノイズのない動作を保証するため、低インピーダンスとし、できる限り短くしてください。

V<sub>DD</sub>電源上の高調波ノイズは、ADCの高速コンパレータの動作に影響を与えます。これらの電源は、MAX186/MAX188の近傍で0.1µFと4.7µFのバイパス・コンデンサを用いてスター・グラウンドにバイパスしてください。最良の電源ノイズ除去を得るため、コンデンサのリード線は最短としてください。+5V電源のノイズが非常に大きい場合、図18に示すように10Ω抵抗をローパス・フィルタとして接続してください。

# 低電力、8チャンネル、 シリアル12ビットADC

MAX186/MAX188

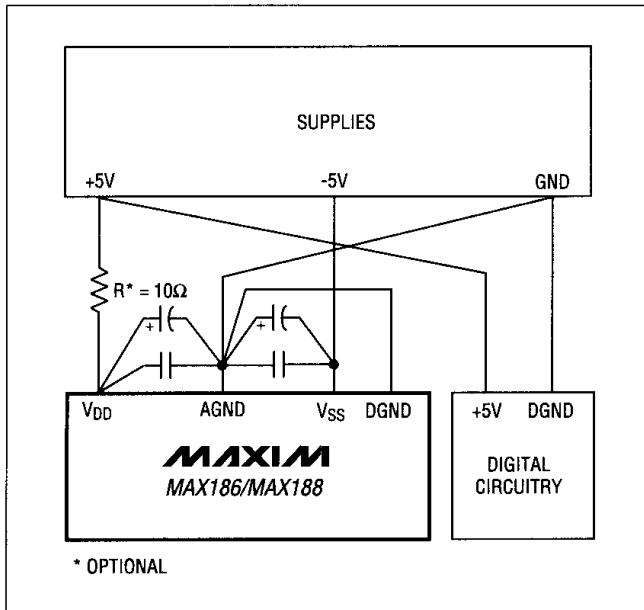


図18. 電源グランド接続

## QSPIとの高速デジタル・インタフェース

図19に示す回路により、MAX186/MAX188はQSPIと高スループットでインタフェースできます。このQSPI回路は、8チャンネルのそれぞれで変換を行うようにプログラムすることができます。QSPIは専用のマイクロシーケンサを備えているため、変換結果はCPUを煩わすことなくメモリ内に格納されます。図19にはMAX186を示していますが、VREFに外部リファレンスを接続しREFADJをV<sub>DD</sub>に接続することで、MAX188を用いることも可能です。

図20に、QSPIを自動動作に設定するプログラムを示します。MAX186/MAX188は外部クロック・モードで、シングルエンド、ユニポーラ変換を8つのアナログ入力チャンネルのそれぞれで実行します。図21のQSPIアセンブリ・プログラム・タイミングは、図20のアセンブリ・プログラムの実行に伴うタイミングを示しています。最初にMAX186/MAX188に入力されるバイトは制御バイトで、CH0での最初の変換をトリガします。MAX186/MAX188に与えられる最後の2バイトは全0であり、CH7の変換結果を出力させます。

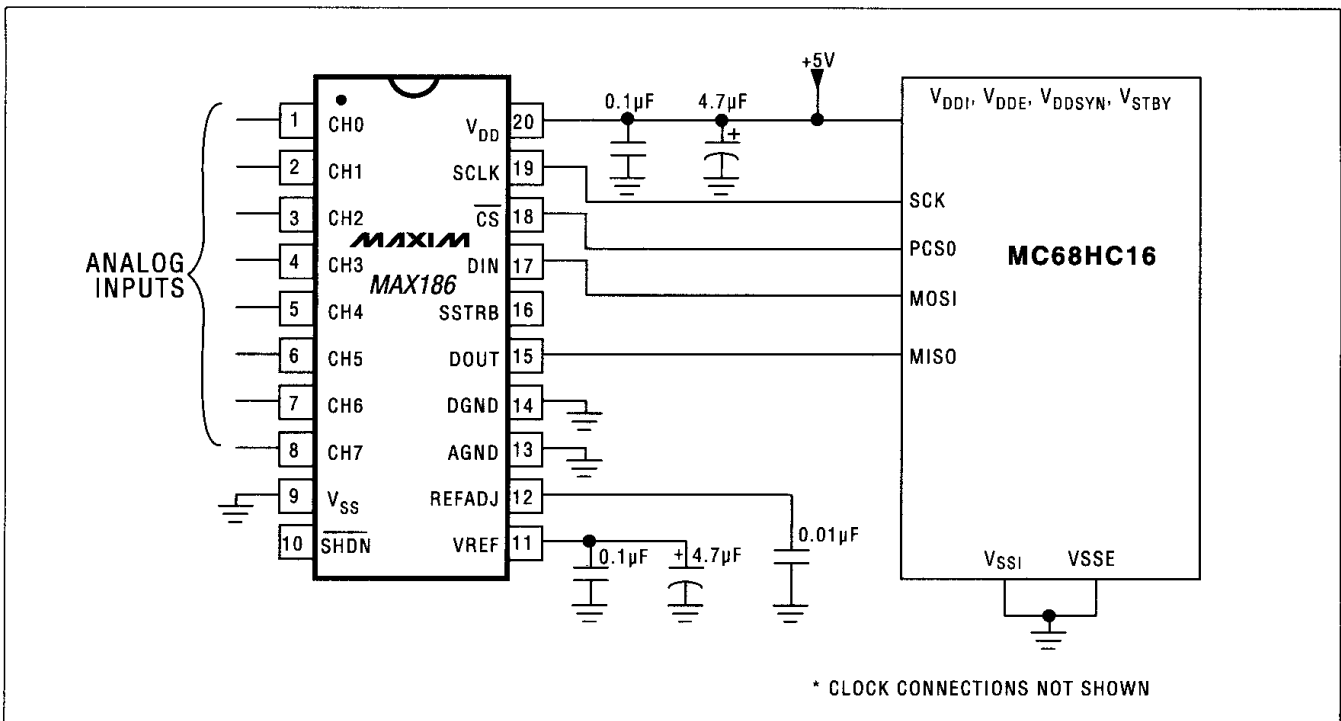


図19. MAX186のQSPI接続

```

*Title : MAX186.ASM
* Description :
*       This is a shell program for using a stand-alone 68HC16 without any external memory. The internal 1K RAM
*       is put into bank $0F to maintain 68HC11 code compatibility. This program was written with software
*       provided in the Motorola 68HC16 Evaluation Kit.
*
* Roger J.A. Chen, Applications Engineer
* MAXIM Integrated Products
* November 20, 1992
*
*****
INCLUDE  'EQUATES.ASM' ;Equates for common reg addr
INCLUDE  'ORG00000.ASM' ;initialize reset vector
INCLUDE  'ORG00008.ASM' ;initialize interrupt vectors
ORG      $0200          ;start program after interrupt vectors
INCLUDE  'INITSYS.ASM'  ;set EK=F,XK=0,YK=0,ZK=0
                          ;set sys clock at 16.78 MHz, COP off
INCLUDE  'INITRAM.ASM' ;turn on internal SRAM at $10000
                          ;set stack (SK=1, SP=03FE)

MAIN:
  JSR  INITQSPI
MAINLOOP:
  JSR  READ186
WAIT:
  LDAA  SPSR
  ANDA  #$80
  BEQ  WAIT          ;wait for QSPI to finish
  BRA  MAINLOOP
ENDPROGRAM:

INITQSPI:

;This routine sets up the QSPI microsequencer to operate on its own.
;The sequencer will read all eight channels of a MAX186/MAX188 each time
;it is triggered. The A/D converter results will be left in the
;receive data RAM. Each 16 bit receive data RAM location will
;have a leading zero, 12 bits of conversion result and three zeros.
;
;Receive RAM Bits 15 14 13 12 11 10 09 08 07 06 05 04 03 02 01 00
;A/D Result      0 MSB                               LSB 0 0 0
***** Initialize the QSPI Registers *****
PSHA
PSHB
LDAA  #%01111000
STAA  QPDR          ;idle state for PCS0-3 = high
LDAA  #%01111011
STAA  QPAR          ;assign port D to be QSPI
LDAA  #%01111110
STAA  QDDR          ;only MISO is an input
LDD   #$8008
STD   SPCR0         ;master mode, 16 bits/transfer,
                          ;CPOL=CPHA=0, 1MHz Ser Clock

LDD   #$0000
STD   SPCR1         ;set delay between PCS0 and SCK,

```

図20. MAX186/MAX188 アセンブリ・プログラム

# 低電力、8チャンネル、 シリアル12ビットADC

MAX186/MAX188

```

                                ;set delay between transfers
LDD  #$0800
STD  SPCR2                      ;set ENDQP to $8 for 9 transfers
***** Initialize QSPI Command RAM *****

LDAA #$80                      ;CONT=1,BITSE=0,DT=0,DSCK=0,PCS0=ACTIVE
STAA $FD40                     ;store first byte in COMMAND RAM
LDAA #$C0                      ;CONT=1,BITSE=1,DT=0,DSCK=0,PCS0=ACTIVE
STAA $FD41
STAA $FD42
STAA $FD43
STAA $FD44
STAA $FD45
STAA $FD46
STAA $FD47
LDAA #$40                      ;CONT=0,BITSE=1,DT=0,DSCK=0,PCS0=ACTIVE
STAA $FD48
***** Initialize QSPI Transmit RAM *****

LDD  #$008F                      STD  $FD20
LDD  #$00CF                      STD  $FD22
LDD  #$009F                      STD  $FD24
LDD  #$00DF                      STD  $FD26
LDD  #$00AF                      STD  $FD28
LDD  #$00EF                      STD  $FD2A
LDD  #$00BF                      STD  $FD2C
LDD  #$00FF                      STD  $FD2E
LDD  #$0000                      STD  $FD30

PULB
PULA
RTS

READ186:
;This routine triggers the QSPI microsequencer to autonomously
;trigger conversions on all 8 channels of the MAX186. Each
;conversion result is stored in the receive data RAM.
PSHA
LDAA #$80
ORAA SPCR1
STAA SPCR1                      ;just set SPE
PULA
RTS

***** Interrupts/Exceptions *****

BDM: BGND                      ;exception vectors point here

```

図20. MAX186/MAX188 アセンブリ・プログラム (続き)

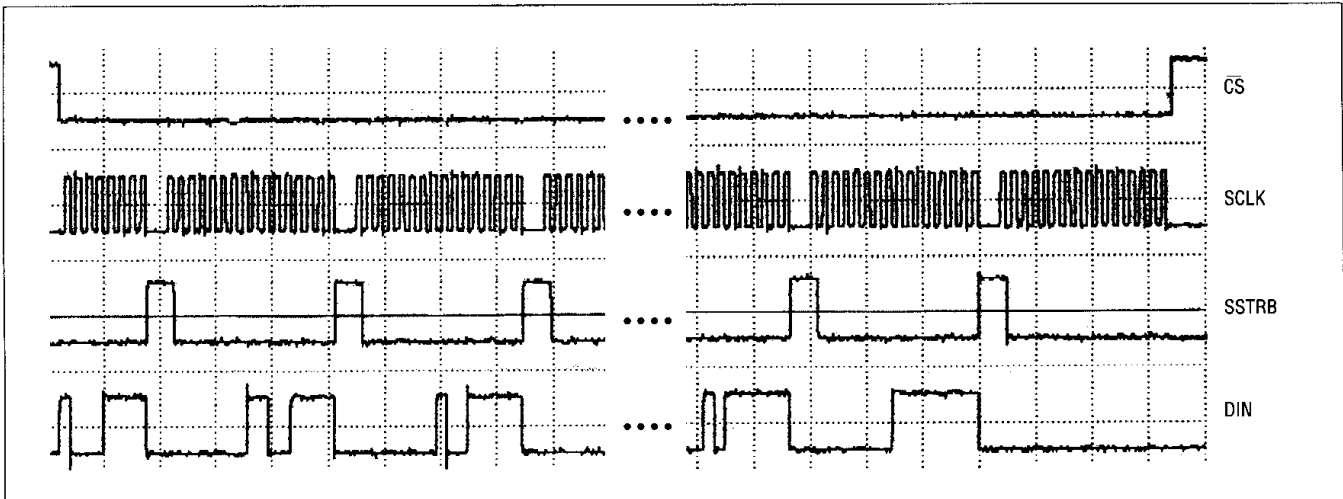


図21. QSPIアセンブリ・プログラム・タイミング

### TMS320C3xとMAX186のインタフェース

図22は、MAX186/MAX188をTMS320に外部クロック・モードでインタフェースするための応用回路です。このインタフェース回路のタイミングを図23に示します。

MAX186/MAX188に変換を開始させ、変換結果を読み出すための手順を以下に示します。

- 1) TMS320のCLKX (送信クロック) をアクティブ “ハイ” の出力クロックに、CLKR (受信クロック) をアクティブ “ハイ” の入力クロックに設定します。TMS320のCLKX及びCLKRは、MAX186/MAX188のSCLK入力に結線します。
- 2) MAX186/MAX188の $\overline{CS}$ 入力を、TMS320のI/OポートXFで “ロー” に駆動し、DINへのデータ入力を許可します。
- 3) MAX186/MAX188を外部クロック・モードとし変換を開始するために、8ビット・ワード (1XXXXX11) を書き込みます。表2を参考に用途にあわせてXXXXXビットの値を選択してください。
- 4) MAX186/MAX188のSSTRB出力は、TMS320のFSR入力を介してモニタすることができます。SSTRB出力の立下りエッジにより、変換が進行中でデータの読出しが可能なが分かります。

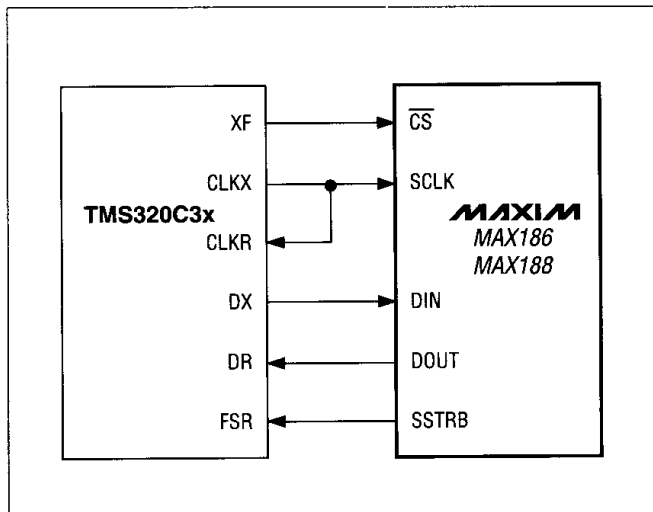


図22. MAX186/MAX188とTMS320のシリアル・インタフェース

- 5) TMS320はSCLKの16回の立上がりエッジごとに1データ・ビットを読み取ります。これらのデータ・ビットが12ビットの変換結果であり、末尾の4ビットは無視します。
- 6) 次の変換を開始するまで、 $\overline{CS}$ を “ハイ” としMAX186/MAX188の動作を禁止します。

# 低電力、8ビットアナログ、 シリアル12ビットADC

MAX186/MAX188

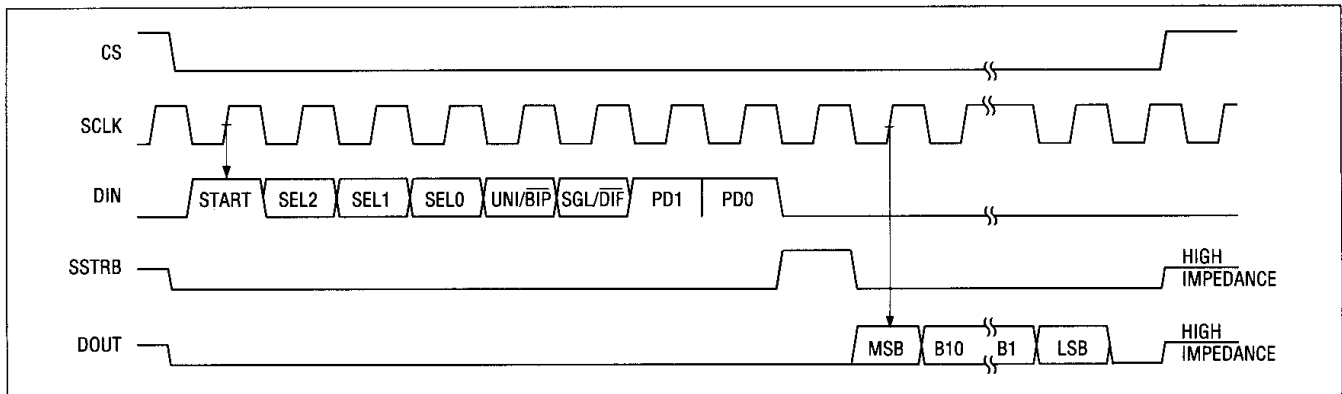
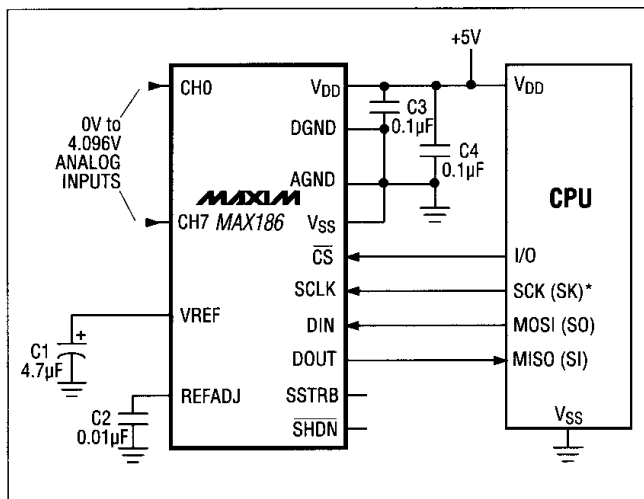


図23. TMS320のシリアル・インタフェース・タイミング図

## 標準動作回路

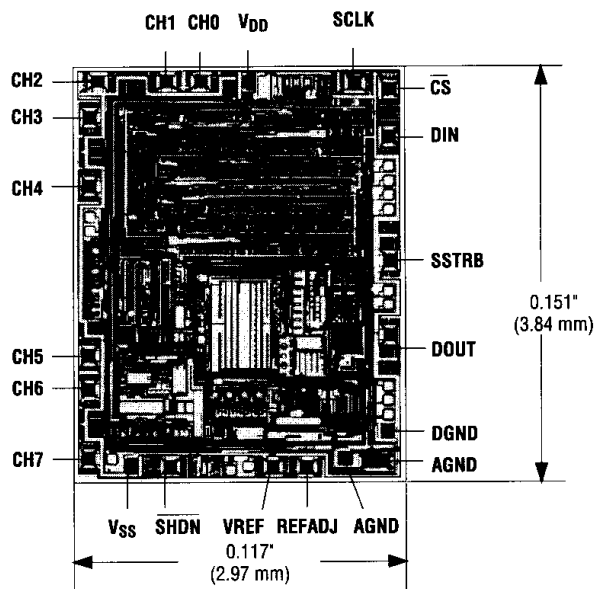


## 型番(続き)

PART†	TEMP. RANGE	PIN-PACKAGE
MAX188_CPP	0°C to +70°C	20 Plastic DIP
MAX188_CWP	0°C to +70°C	20 SO
MAX188_CAP	0°C to +70°C	20 SSOP
MAX188DC/D	0°C to +70°C	Dice*
MAX188_EPP	-40°C to +85°C	Plastic DIP
MAX188_EWP	-40°C to +85°C	20 SO
MAX188_EAP	-40°C to +85°C	20 SSOP
MAX188_MJP	-55°C to +125°C	20 CERDIP**

PART	TEMP. RANGE	BOARD TYPE
MAX186EVKIT-DIP	0°C to +70°C	Through-Hole

## チップ構造図



## MAX186/MAX188

TRANSISTOR COUNT: 2278;  
SUBSTRATE CONNECTED TO VDD

† NOTE: Parts are offered in grades A, B, C and D (grades defined in Electrical Characteristics). When ordering, please specify grade.  
\* Dice are specified at +25°C, DC parameters only.  
\*\* Contact factory for availability and processing to MIL-STD-883.

# マキシム・ジャパン株式会社

〒169 東京都新宿区西早稲田3-30-16(ホリゾン1ビル)  
TEL. (03)3232-6141 FAX. (03)3232-6149

マキシム社では全体がマキシム社製品で実現されている回路以外の回路の使用については責任を持ちません。回路特許ライセンスは明言されていません。マキシム社は随時予告なしに回路及び仕様を変更する権利を保留します。